

MEMORIJSKI ELEMENTI

- Memorijski elementi su elementarne sekvencijalne mreže sa samo dva stanja I imaju dva izlaza na kojima se pojavljuje direktna i komplementarna vrednost signala stanja.
- Memorijski elementi se nazivaju i flip-flopovi (FF).
- Flip-flopovi se mogu podeliti na asinhronone i taktovane (sinhronone).

MEMORIJSKI ELEMENTI

ASINHRONI FLIP-FLOPOVI

- Postoji jedan tip asinhronog flip-flopa i to:
asinhroni RS flip-flop
- Asinhroni flip-flop se opisuje
 1. zakonom funkcionisanja koji je dat funkcijom prelaza i tablicom,
 2. grafičkim simbolom kojim se označava u strukturnim šemama i
 3. nazivom koji predstavlja njegovo ime.

MEMORIJSKI ELEMENTI ASINHRONI FLIP-FLOPOVI

Logisim: RS_flip_flop of Nedelja_5

File Edit Project Simulate Window Help

300%

Nedelja_5*

- E1
- E4
- REDNA_VEZA
- RS_flip_flop
- Wiring
- Gates
- Plexers
- Arithmetic
- Memory
 - D Flip-Flop
 - T Flip-Flop
 - J-K Flip-Flop
 - S-R Flip-Flop
 - Register
 - Counter
 - Shift Register
 - Random Generator
 - RAM
 - ROM
 - Input/Output
 - Base

Circuit: RS_flip_flop

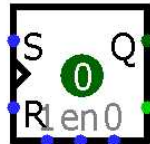
Circuit Name	RS_flip_flop
Shared Label	
Shared Label Facing	East
Shared Label Font	SansSerif Plain 12

Ulazi su označeni sa R (Reset) i S (Set), a izlaz sa Q.
Naziv RS je komponovan od oznaka ulaza.

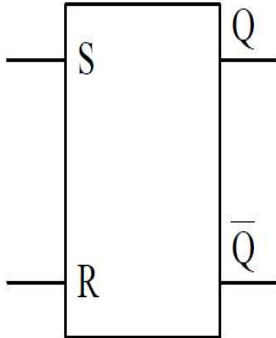
Zakon funkcionisanja

$$Q(t+1) = S + \bar{R}Q$$
$$SR = 0$$

R	S	Q(t+1)
0	0	Q
0	1	1
1	0	0
1	1	?

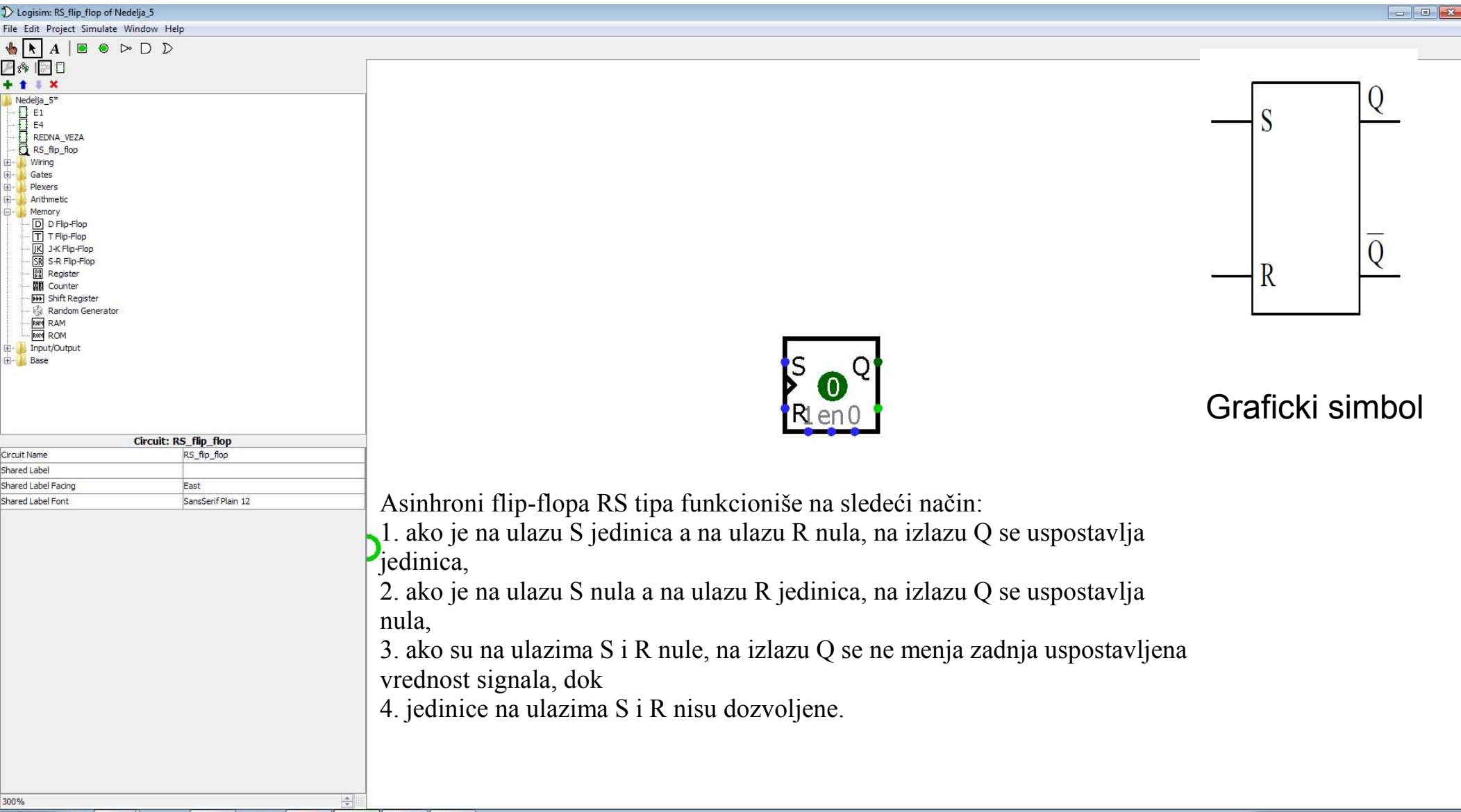


Graficki simbol



MEMORIJSKI ELEMENTI

ASINHRONI FLIP-FLOPOVI

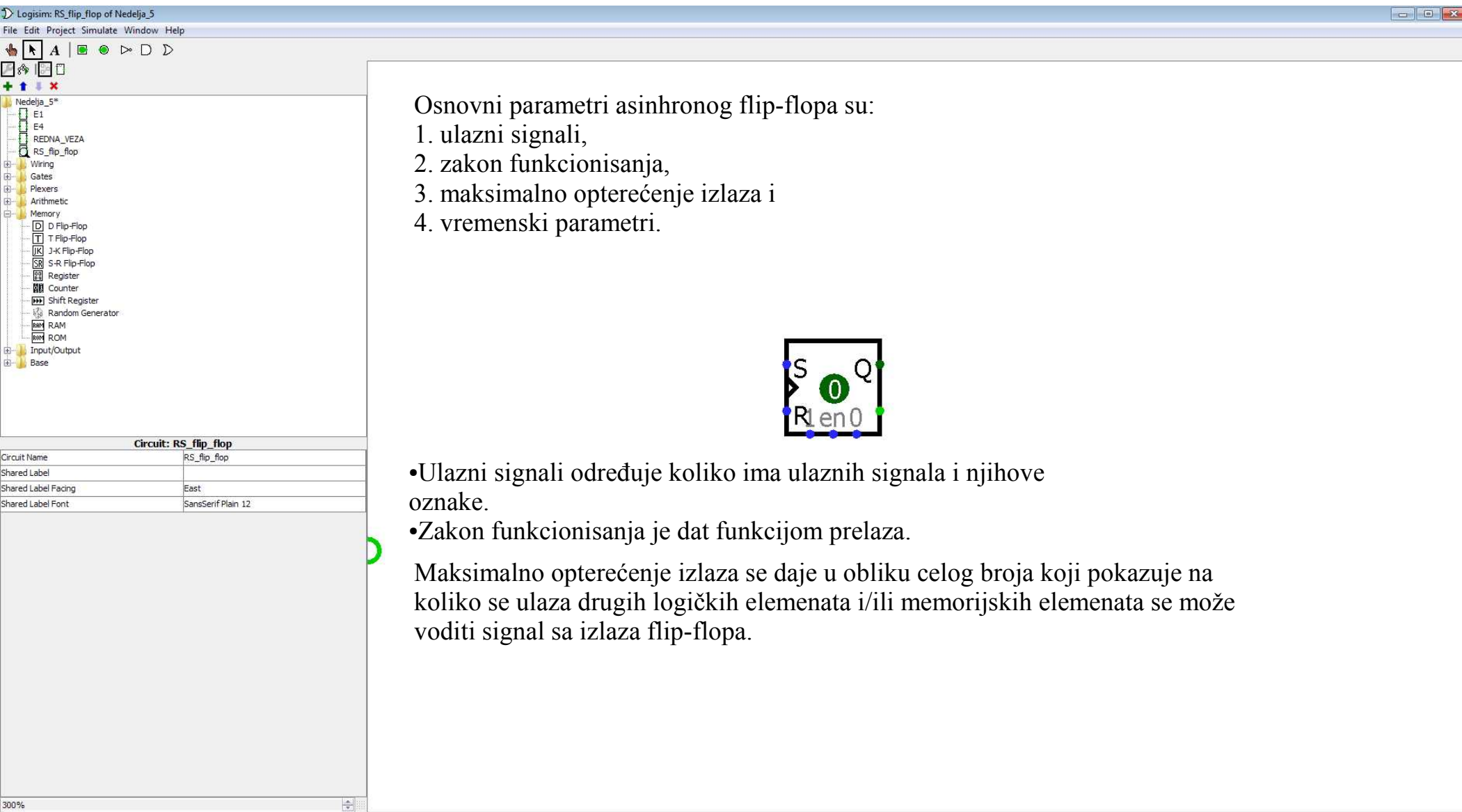


Graficki simbol

Asinhroni flip-flopa RS tipa funkcioniše na sledeći način:

1. ako je na ulazu S jedinica a na ulazu R nula, na izlazu Q se uspostavlja jedinica,
2. ako je na ulazu S nula a na ulazu R jedinica, na izlazu Q se uspostavlja nula,
3. ako su na ulazima S i R nule, na izlazu Q se ne menja zadnja uspostavljena vrednost signala, dok
4. jedinice na ulazima S i R nisu dozvoljene.

MEMORIJSKI ELEMENTI ASINHRONI FLIP-FLOPOVI



MEMORIJSKI ELEMENTI

ASINHRONI FLIP-FLOPOVI

Logisim: RS_flip_flop of Nedelja_5

File Edit Project Simulate Window Help

300%

Nedelja_5*

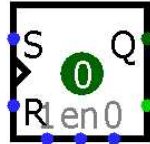
- E1
- E4
- REDNA_VEZA
- RS_flip_flop
- Wiring
- Gates
- Plexers
- Arithmetic
- Memory
 - D Flip-Flop
 - T Flip-Flop
 - J-K Flip-Flop
 - S-R Flip-Flop
 - Register
 - Counter
 - Shift Register
 - Random Generator
 - RAM
 - ROM
- Input/Output
- Base

Circuit: RS_flip_flop

Circuit Name	RS_flip_flop
Shared Label	
Shared Label Facing	East
Shared Label Font	SansSerif Plain 12

Osnovni parametri asinhronog flip-flopa su:

1. ulazni signali,
2. zakon funkcionisanja,
3. maksimalno opterećenje izlaza i
4. vremenski parametri.



Vremenski parametri su:

Vreme zadržavanja je minimalno vreme zadržavanja vrednosti ulaznih signala posle promene neophodno da bi se flip-flop ponašao saglasno zakonu funkcionisanja.

Kašnjenje signala je vremenski interval između trenutka kada započinje promena stanja (to je trenutak promene ulaznog vektora) i trenutka kada se ta promena završi.

Ostali parametri asinhronog flip-flopa su:

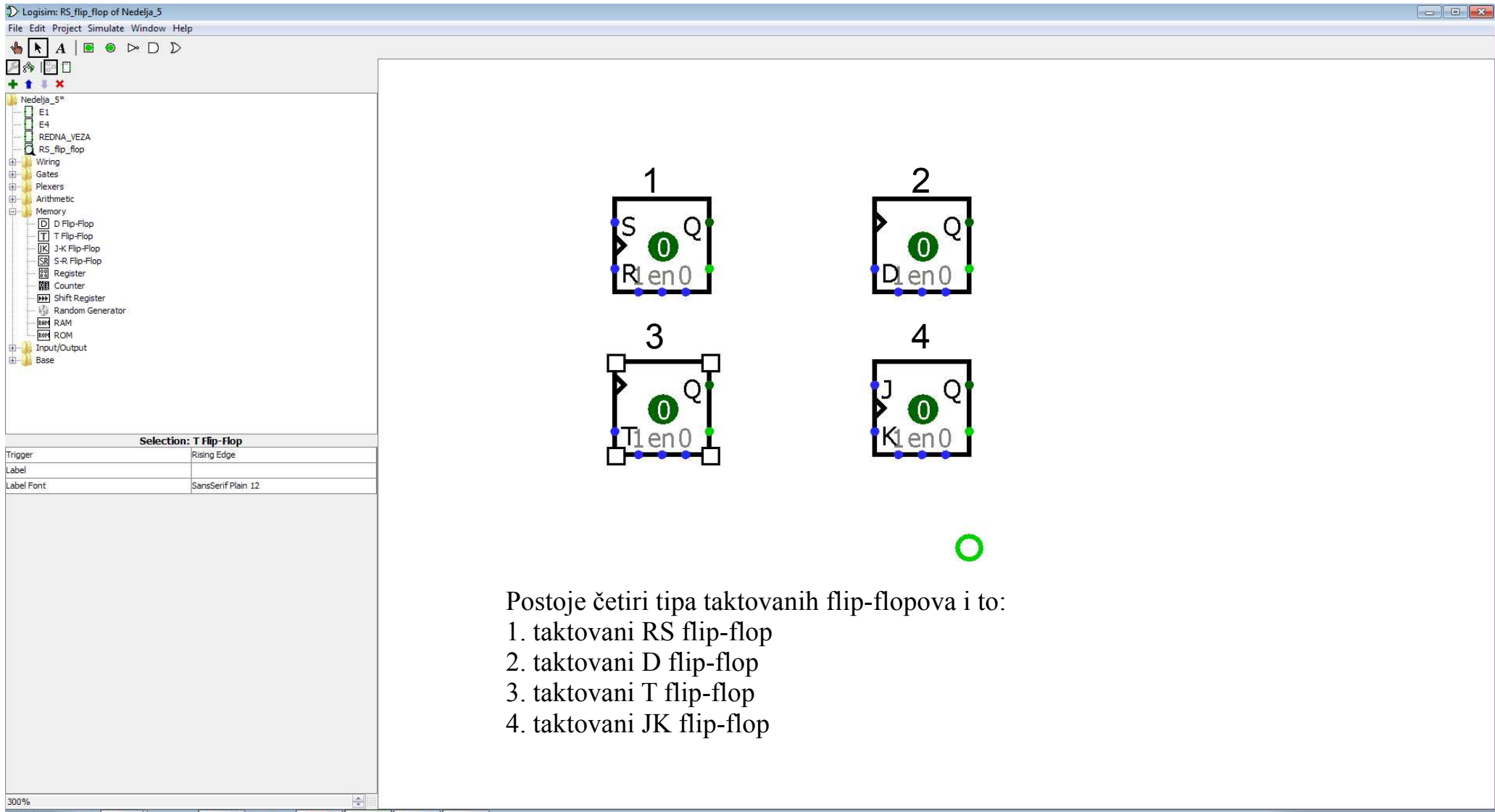
1. napon napajanja,
2. disipacija snage,
3. temperaturni opseg pouzdanog rada itd.

MEMORIJSKI ELEMENTI

TAKTOVANI FLIP-FLOPOVI

- Kod taktovanih flip-floпова pored ulaznih signala koji zavise od tipa flip-floпа postoji obavezno još jedan ulazni signal koji se naziva signal takta.
- Ako je vrednost 0 signala takta flip-flop se zadržava u trenutnom stanju neograničeno vreme nezavisno od vrednosti preostalih ulaznih signala.
- Ako je vrednost 1 signala takta flip-flop može da pređe iz trenutnog u sledeće stanje saglasno funkciji prelaza flip-floпа.

MEMORIJSKI ELEMENTI TAKTOVANI FLIP-FLOPOVI



The screenshot shows the Logisim software interface. On the left is a component library with categories like Memory, Register, Counter, and Shift Register. The main workspace displays four clocked flip-flop symbols, each with a clock input (triangle) and a Q output (green dot). Each symbol has a green circle with the number '0' inside, indicating its initial state. The symbols are labeled 1 through 4:

- 1. RS Flip-Flop: Inputs S and R, output Q. Label: RS en 0.
- 2. D Flip-Flop: Input D, output Q. Label: D en 0.
- 3. T Flip-Flop: Input T, output Q. Label: T en 0.
- 4. JK Flip-Flop: Inputs J and K, output Q. Label: JK en 0.

Below the symbols is a green circle with the number '0' inside.

Postoje četiri tipa taktovanih flip-flopova i to:

1. taktovani RS flip-flop
2. taktovani D flip-flop
3. taktovani T flip-flop
4. taktovani JK flip-flop

MEMORIJSKI ELEMENTI

TAKTOVANI FLIP-FLOPOVI

Logisim: RS_flip_flop of Nedelja_5

File Edit Project Simulate Window Help

Selection: T Flip-Flop

Trigger	Rising Edge
Label	
Label Font	SansSerif Plain 12

300%

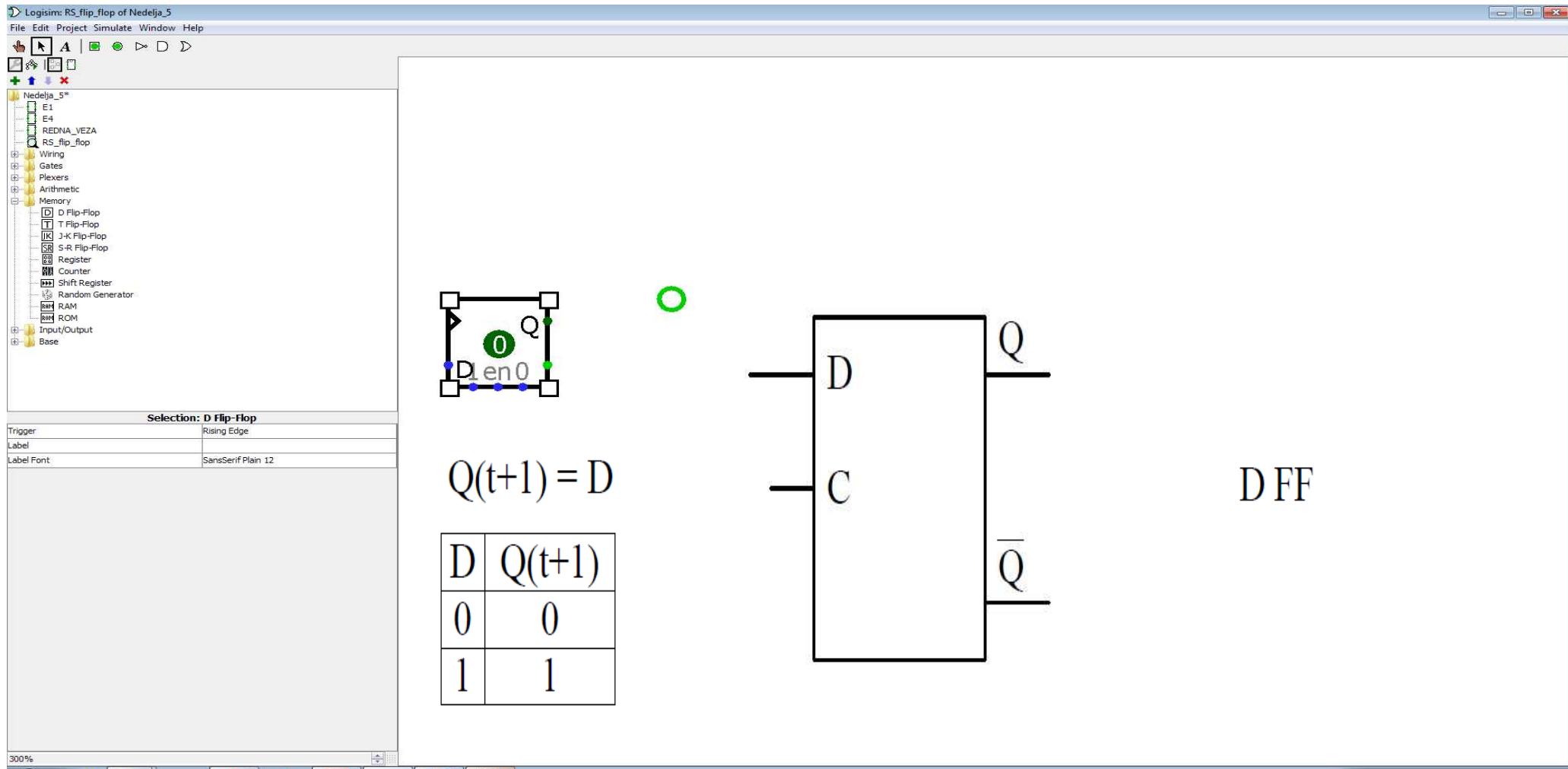
Taktovani flip-flopi se opisuju

1. zakonom funkcionisanja koji je dat funkcijom prelaza i tablicom,
2. grafičkim simbolom kojim se označava u strukturnim šemama i
3. nazivom koji predstavlja njegovo ime.



MEMORIJSKI ELEMENTI

taktovani D FLIP-FLOP



MEMORIJSKI ELEMENTI

taktovani T FLIP-FLOP

Logisim: RS_flip_flop of Nedelja_5

File Edit Project Simulate Window Help

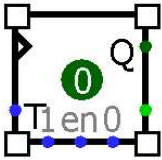
Nedelja_5*

- E1
- E4
- REDNA_VEZA
- RS_flip_flop
- Wiring
- Gates
- Plexers
- Arithmetic
- Memory
 - D Flip-Flop
 - T Flip-Flop
 - J-K Flip-Flop
 - S-R Flip-Flop
- Register
- Counter
- Shift Register
- Random Generator
- RAM
- ROM
- Input/Output
- Base

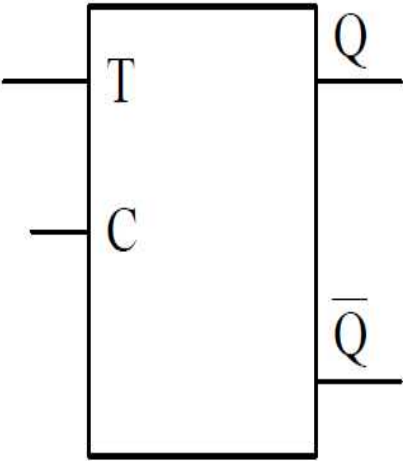
Selection: T Flip-Flop

Trigger	Rising Edge
Label	
Label Font	SansSerif Plain 12

300%

 $Q(t+1) = T\bar{Q} + \bar{T}Q$

T	$Q(t+1)$
0	Q
1	$\bar{Q}$



T FF

MEMORIJSKI ELEMENTI

taktovani J-K FLIP-FLOP

Logisim: RS_flip_flop of Nedelja_5

File Edit Project Simulate Window Help

Wiring Gates Plexers Arithmetic Memory Counter Shift Register Random Generator RAM ROM Input/Output Base

Nedelja_5*

E1
E4
REDNA_VEZA
RS_flip_flop

Selection: J-K Flip-Flop

Trigger Rising Edge

Label

Label Font SansSerif Plain 12

300%

Q(t+1) = $J\bar{Q} + \bar{K}Q$

J	K	Q(t+1)
0	0	Q
0	1	0
1	0	1
1	1	$\bar{Q}$

JK FF

MEMORIJSKI ELEMENTI

taktovani R-S FLIP-FLOP

Logisim: RS_flip_flop of Nedelja_5

File Edit Project Simulate Window Help

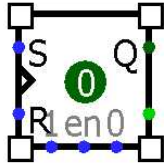
Selection: S-R Flip-Flop

Trigger: Rising Edge

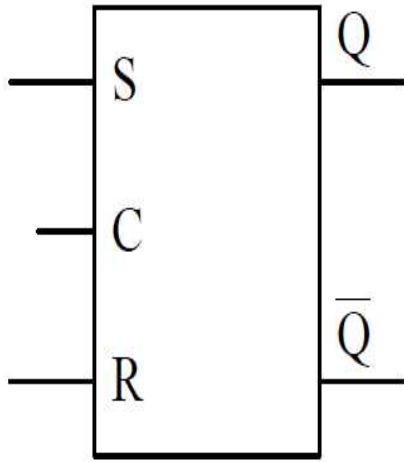
Label Font: SansSerif Plain 12

300%

$$Q(t+1) = S + \overline{R}Q$$
$$SR = 0$$



R	S	$Q(t+1)$
0	0	Q
0	1	1
1	0	0
1	1	?



RS FF

MEMORIJSKI ELEMENTI

taktovani R-S FLIP-FLOP

Logisim: RS_flip_flop of Nedelja_5

File Edit Project Simulate Window Help

Selection: S-R Flip-Flop

Trigger	Rising Edge
Label	
Label Font	SansSerif Plain 12

300%

Taktovani flip-flop RS tipa pored signala takta C ima i još dva ulazna signala i to signale R i S. Izlazni signal je signal stanja Q.

Ako je vrednosti signala takta C nula, ulazni signali R i S mogu da se menjaju, ali se vrednost izlaznog signala Q ne menja.

Ako je vrednosti signala takta C jedinica, ulazni signali R i S ne smeju da se menjaju i tada:

1. ako je na ulazu S jedinica a na ulazu R nula, na izlazu Q se uspostavlja jedinica,
2. ako je na ulazu S nula a na ulazu R jedinica, na izlazu Q se uspostavlja nula,
3. ako su na ulazima S i R nule, na izlazu Q se ne menja zadnja uspostavljena vrednost signala, dok
4. jedinice na ulazima S i R nisu dozvoljene.

Funkcija prelaza taktovanog RS flip-flopa je

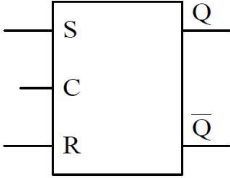
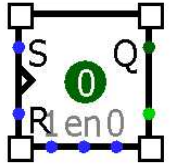
za $C = 0$

$$Q(t+1) = Q, \text{ dok je}$$

za $C = 1$

$$Q(t+1) = S + \bar{R} \cdot Q$$

pri čemu mora da bude zadovoljeno da je

$$S \cdot R = 0$$


MEMORIJSKI ELEMENTI

taktovani D FLIP-FLOP

Logisim: RS_flip_flop of Nedelja_5

File Edit Project Simulate Window Help

Wiring Gates Plexers Arithmetic Memory

Memory

- D Flip-Flop
- T Flip-Flop
- J-K Flip-Flop
- S-R Flip-Flop
- Register
- Counter
- Shift Register
- Random Generator
- RAM
- ROM
- Input/Output
- Base

Selection: D Flip-Flop

Trigger	Rising Edge
Label	
Label Font	SansSerif Plain 12

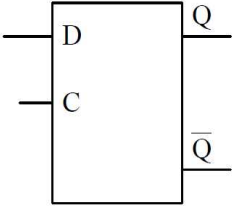
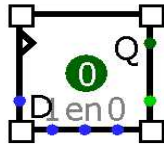
300%

Taktovani flip-flop D tipa pored signala takta C ima i još jedan ulazni signal i to signal D. Izlazni signal je signal stanja Q.

Ako je vrednosti signala takta C nula, ulazni signal D može da se menja, ali se vrednost izlaznog signala Q ne menja.

Ako je **vrednosti signala takta C jedinica, ulazni signal D ne sme da se menja** i tada:

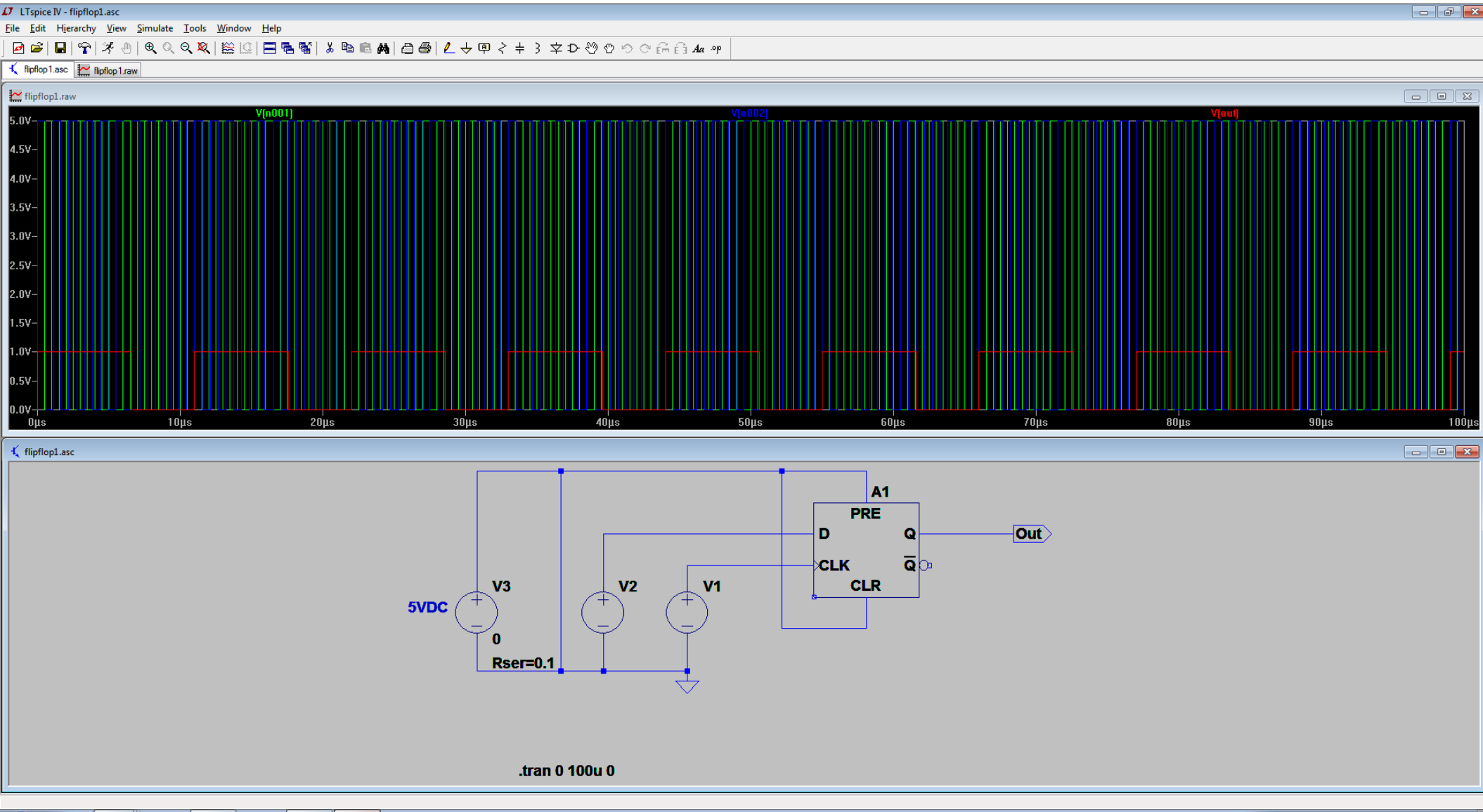
1. ako je na ulazu D jedinica, na izlazu Q se uspostavlja jedinica i
2. ako je na ulazu D nula, na izlazu Q se uspostavlja nula.



Funkcija prelaza taktovanog D flip-flop je

za $C = 0$
 $Q(t+1) = Q$, dok je
za $C = 1$
 $Q(t+1) = D$

LtSpice D flip flop



MEMORIJSKI ELEMENTI

taktovani T FLIP-FLOP

Logisim: RS_flip_flop of Nedelja_5

File Edit Project Simulate Window Help

Nedelja_5*

- E1
- E4
- REDNA_VEZA
- RS_flip_flop
- Wiring
- Gates
- Plexers
- Arithmetic
- Memory
 - D Flip-Flop
 - T Flip-Flop
 - J-K Flip-Flop
 - S-R Flip-Flop
 - Register
 - Counter
 - Shift Register
 - Random Generator
 - RAM
 - ROM
- Input/Output
- Base

Selection: T Flip-Flop

Trigger	Rising Edge
Label	
Label Font	SansSerif Plain 12

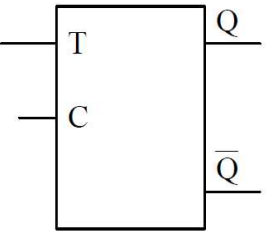
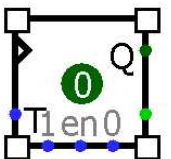
300%

Taktovani flip-flop T tipa pored signala takta C ima i još jedan ulazni signal i to signal T. Izlazni signal je signal stanja Q.

Ako je vrednosti signala takta C nula, ulazni signal T može da se menja, ali se vrednost izlaznog signala Q ne menja.

Ako je vrednosti signala takta C jedinica, ulazni signal T ne sme da se menja i tada:

1. ako je na ulazu T nula, na izlazu Q se ne menja zadnja uspostavljena vrednost signala i
2. ako je na ulazu T jedinica, na izlazu Q se invertuje zadnja uspostavljena vrednost signala.



Funkcija prelaza taktovanog T flip-flopa je

za $C = 0$

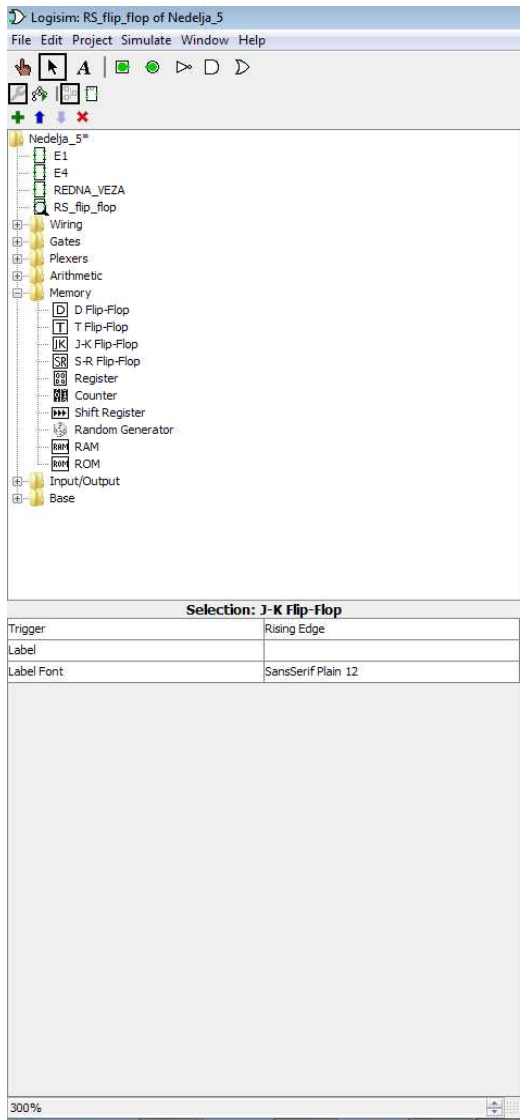
$Q(t+1) = Q$, dok je

za $C = 1$

$$Q(t+1) = T \cdot \overline{Q} + \overline{T} \cdot Q$$

MEMORIJSKI ELEMENTI

taktovani J-K FLIP-FLOP

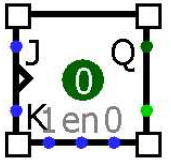


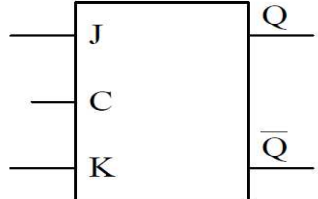
Taktovani flip-flop JK tipa pored signala takta C ima i još dva ulazna signala i to signale J i K. Izlazni signal je signal stanja Q.

Ako je vrednosti **signala takta C nula**, **ulazni signali J i K mogu da se menjaju**, ali se vrednost izlaznog signala Q ne menja.

Ako je vrednosti **signala takta C jedinica**, **ulazni signali J i K ne smeju da se menjaju** i tada:

1. ako je na ulazu J jedinica a na ulazu K nula, na izlazu Q se uspostavlja jedinica,
2. ako je na ulazu J nula a na ulazu K jedinica, na izlazu Q se uspostavlja nula,
3. ako su na ulazima J i K nule, na izlazu Q se ne menja zadnja uspostavljena vrednost signala i
4. ako su na ulazima J i K jedinice, na izlazu Q se invertuje zadnja uspostavljena vrednost signala.





Funkcija prelaza taktovanog JK flip-flopa je
za $C = 0$
 $Q(t+1) = Q$, dok je
za $C = 1$

$$Q(t+1) = J\bar{Q} + \bar{K}Q$$

MEMORIJSKI ELEMENTI

taktovani FLIP-FLOPOVI

- Funkcije prelaza flip-flopova u obliku Bulovih izraza koriste se u analizi sekvencijalnih mreža.
- Za sintezu sekvencijalnih mreža koriste se kombinacione tablice funkcija pobude flip-flopova koje se nazivaju tablicama pobude flip-flopova.
- Funkcije pobuda flip-flopova definišu vrednosti ulaznih signala koje treba dovesti na ulaze flip-flopova da bi prešao iz sadašnjeg stanja Q u sledeće stanje $Q(t+1)$ i to za sve četiri kombinacije
- Q i $Q(t+1)$ (00, 01, 10 i 11)

Taktovani FLIP-FLOPOVI tablice pobuda

Q	Q(t+1)	D
0	0	0
0	1	1
1	0	0
1	1	1

Q	Q(t+1)	T
0	0	0
0	1	1
1	0	1
1	1	0

Q	Q(t+1)	R	S
0	0	b	0
0	1	0	1
1	0	1	0
1	1	0	b

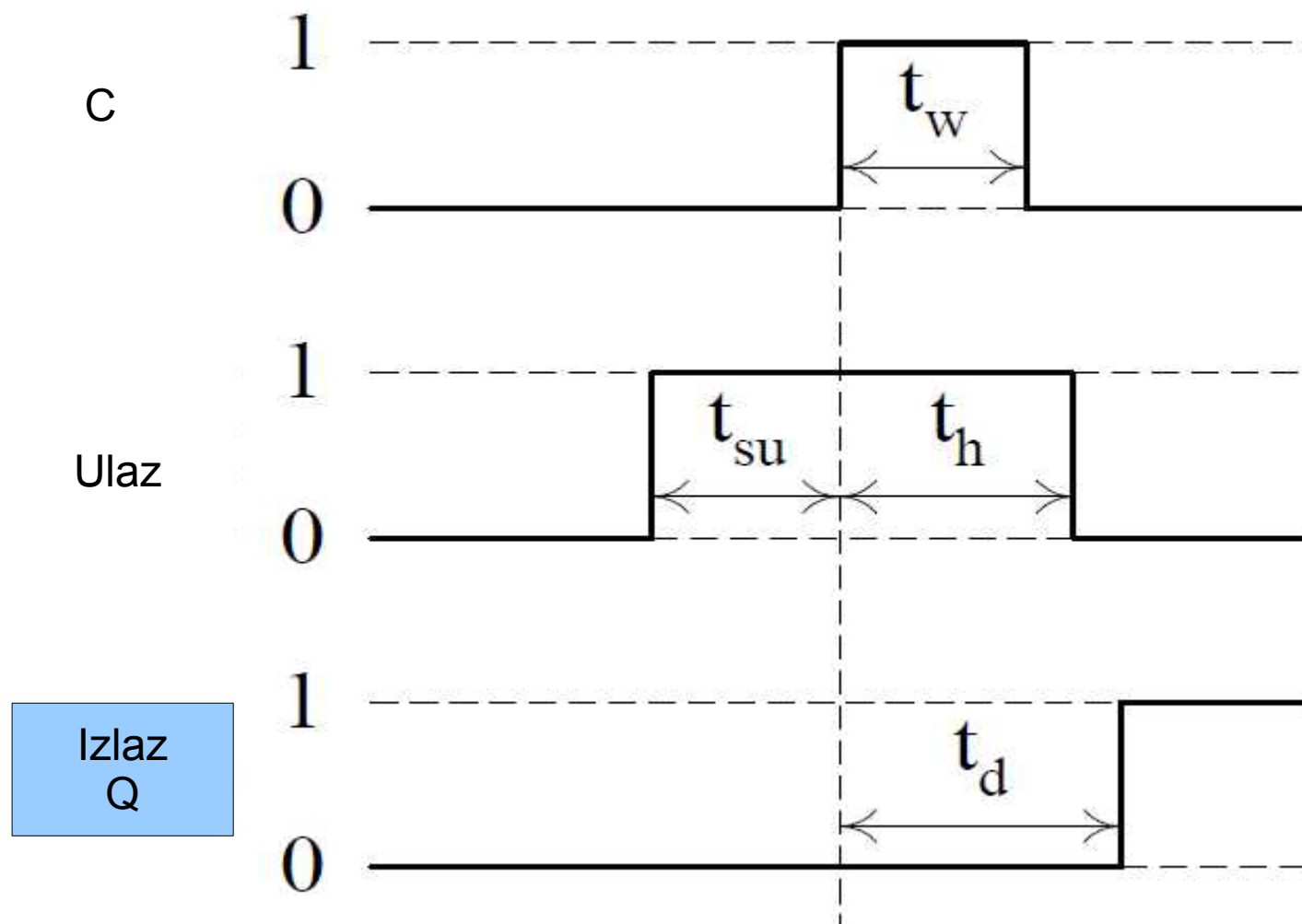
Q	Q(t+1)	J	K
0	0	0	b
0	1	1	b
1	0	b	1
1	1	b	0

- Osnovni parametri taktovanih flip-floпова su:
- ulazni signali,
- zakon funkcionisanja,
- maksimalno opterećenje izlaza i
- vremenski parametri.

- Ulazni signali određuje koliko ima ulaznih signala i njihove oznake.
- Zakon funkcionisanja je dat funkcijom prelaza
- Maksimalno opterećenje izlaza sa daje u obliku celog broja koji pokazuje na koliko se ulaza drugih logičkih elemenata i/ili memorijskih elemenata se može voditi signal sa izlaza flip-flopa.

Vremenski parametri su:

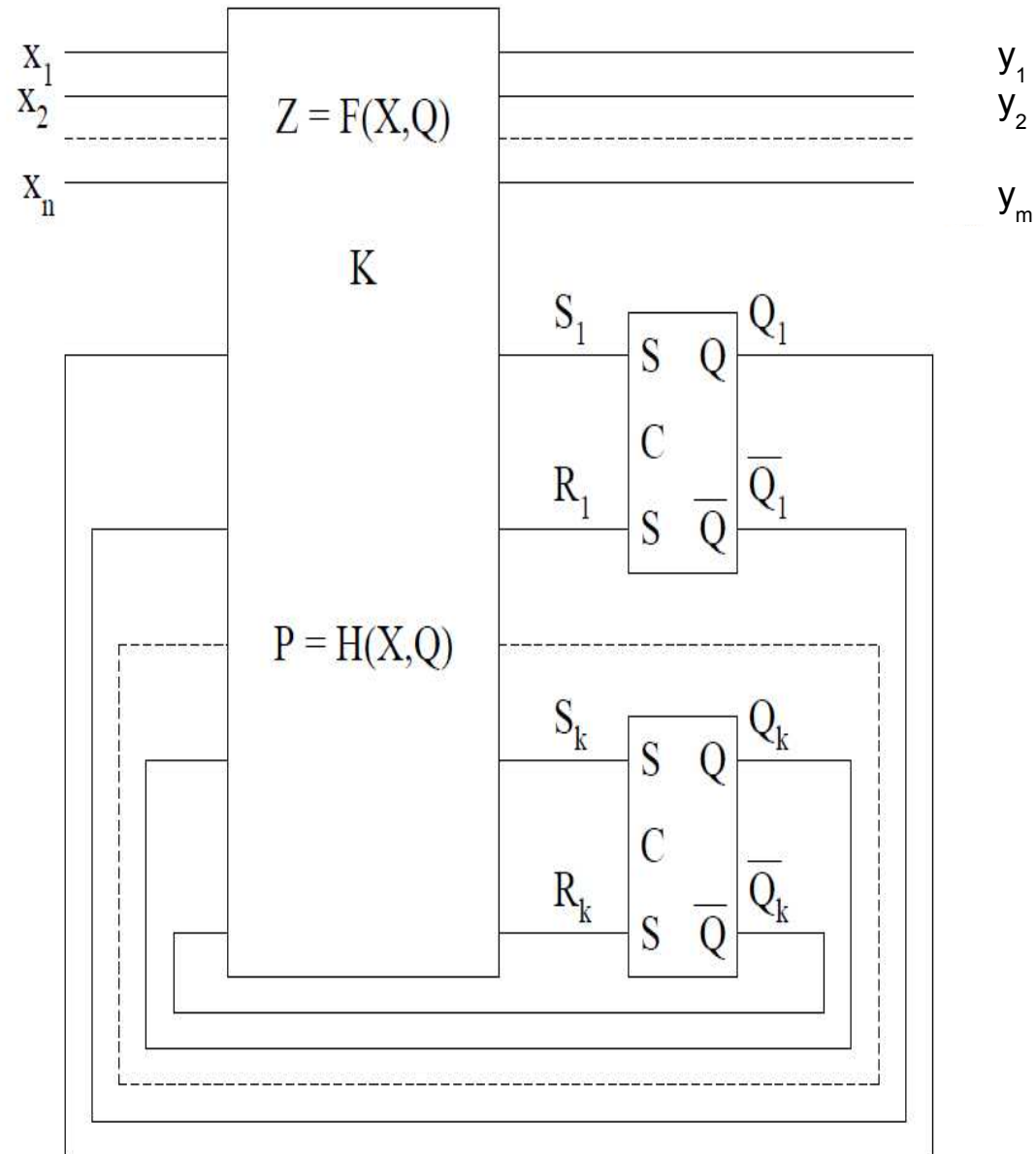
- **Širina impulsa t_w** se definiše kao minimalno vreme za koje se mora zadržati aktivna vrednost signala takta da bi flip-flop prešao iz sadašnjeg u sledeće stanje.
- **Vreme postavljanja t_{su}** je minimalno vreme između promene ulaznih signala i promene signala takta sa vrednosti 0 na vrednost 1 neopodno da bi se flip-flop ponašao saglasno zakonu funkcionisanja.
- **Vreme zadržavanja t_h** je minimalno vreme zadržavanja vrednosti ulaznih signala posle promene signala takta sa vrednosti 0 na vrednost 1 neopodno da bi se flip-flop ponašao saglasno zakonu funkcionisanja.
- **Kašnjenje t_d** je vremenski interval između trenutka kada se signal takta promeni sa vrednost 0 na vrednost 1 i trenutka kada sa promena stanja završi.



STRUKTURA SEKVENCIJALNIH MREŽA

Sekvencijalna mreža se najčešće realizuje prema
strukturnoj šemi za
koju se kaže da predstavlja kanonički ili
Huffman-Moor-ov model sekvencijalne
mreže

STRUKTURA SEKVENCIJALNIH MREŽA



STRUKTURA SEKVENCIJALNIH MREŽA

Prema ovom modelu sekvencijalna mreža je
kompozicija

- kombinacione mreže označene sa K
- flip-flopova $Q_1, Q_2, \dots, Q_k$

STRUKTURA SEKVENCIJALNIH MREŽA

- Kombinaciona mreža K realizuje funkcije izlaza i funkcije pobude flip-flopova.
- Za realizaciju kombinacione mreže može da se koristi bilo koji bazis logičkih elemenata.
- Flip-flopovi $Q_1, Q_2, \dots, Q_k$ realizuju stanje sekvencijalne mreže.
- Za realizaciju stanja sekvencijalne mreže može da se koristi bilo koji tip flip-flopova.

STRUKTURA SEKVENCIJALNIH MREŽA

Funkcije izlaza sekvencijalne mreže date su skupom prekidačkih funkcija $y_1, y_2, \dots, y_m$ koje zavise od nezavisno promenljivih $x_1, x_2, \dots, x_n, Q_1, Q_2, \dots, Q_k$.

Funkcije izlaza $y_1, y_2, \dots, y_m$ su date relacijama

$$y_1 = f_1(x_1, x_2, \dots, x_n, Q_1, Q_2, \dots, Q_k),$$

$$y_2 = f_2(x_1, x_2, \dots, x_n, Q_1, Q_2, \dots, Q_k),$$

...

$$y_m = f_m(x_1, x_2, \dots, x_n, Q_1, Q_2, \dots, Q_k),$$

ili u vektorskom obliku $Y = F(X, Q)$, gde je $Y = y_1 y_2 \dots y_m$ izlazni vektor, $X = x_1 x_2 \dots x_n$ ulazni vektor i $Q = Q_1, Q_2, \dots, Q_k$ vektor stanja sekvencijalne mreže.

Ove prekidačke funkcije nazivaju se funkcijama izlaza sekvencijalne mreže.

STRUKTURA SEKVENCIJALNIH MREŽA

- Za sekvencijalnu mrežu sa taktovanim flip-flopovima, kaže se da je taktovana ili sinhrona.
- Vrednost signala takta na ulazima C svih flip-floпова taktovane sekvencijalne mreže menja se u istom trenutku.
- Dok je signal takta na vrednosti 0 taktovana sekvencijalna mreža ostaje u trenutnom stanju nezavisno od ulaznog vektora X .
- To znači da je $Q(t+1) = Q$ za svaki ulazni vektor X , pa se kaže da je svako stanje Q stabilno za svaki ulazni vektor X .
- U stabilnom stanju može se koristiti izlazni vektor Y taktovane sekvencijalne mreže koga generiše kombinatorna mreža K saglasno funkcijama izlaza.

STRUKTURA SEKVENCIJALNIH MREŽA

- Prelaz iz trenutnog u sledeće stanje kod taktovane sekvencijalne mreže postaje moguć kada se signal takta promeni sa vrednosti 0 na vrednost 1.
- Tada trenutno stanje Q postaje nestabilno jer započinje prelaz flip-flopova u sledeće stanje saglasno funkcijama prelaza i to na osnovu signala pobude na njihovim ulazima koje generiše kombinatorna mreža K saglasno funkcijama pobude.
- Signal takta zadržava vrednost 1 samo koliko je neophodno da flip-flopovi pređu iz trenutnog u sledeće stanje i vraća se na vrednost 0 pre nego što bi mogao da započne novi prelaz.
- U tom trenutku sledeće stanje postaje stabilno i posmatra se kao trenutno.
- Od tog trenutka i kombinatorna mreža K generiše novi izlazni vektor Y .

STRUKTURA SEKVENCIJALNIH MREŽA

Logisim: RS_flip_flop of Nedelja_5

File Edit Project Simulate Window Help

Icons: Hand, Arrow, A, Green circle, Red X, D, D, D

Icons: Plus, Minus, Up, Down, Left, Right, X

Project Tree:

- Nedelja_5*
- E1
- E4
- REDNA_VEZA
- RS_flip_flop
- Wiring
- Splitter
- Pin
- Probe
- Tunnel
- Pull Resistor
- Clock
- 1 - Constant
- Power
- Ground
- Transistor
- Transmission Gate
- Bit Extender
- Gates
- Plexers
- Arithmetic
- Memory
- Input/Output
- Base

Circuit: RS_flip_flop

Circuit Name	RS_flip_flop
Shared Label	
Shared Label Facing	East
Shared Label Font	SansSerif Plain 12

300%

Trenuci promene signala sa vrednosti 0 na vrednost 1 predstavljaju *trenutke takta*. Signal takta je periodičan signal impulsnog tipa, pa se vremenski interval između dva uzastopna trenutka takta t_i i t_{i-1} naziva *perioda signala takta* i označava sa T.



Ako se flip-flopovi zamisle bez signala takta dobija se kompozicija asinhronih flip-flopova RS tipa i kombinacione mreže K koja može predstavljati *asinhronu sekvencijalnu mrežu*.

Asinhrona sekvencijalna mreža

- Asinhrona sekvencijalna mreža ima sve ulazne signale ravnopravne.
- Za svaki ulazni vektor X mora da postoji barem jedno stabilno stanje Q .
- Prelaz iz trenutnog stabilnog stanja u sledeće stabilno stanje može prouzrokovati samo promena ulaznog vektora.
- Pri tome moguće je da mreža prodje kroz više nestabilnih stanja.
- Izlazni vektor Y asinhronne sekvencijalne mreže može se koristiti samo u stabilnom stanju.

- Sekvencijalna mreža (taktovana i asinhrona) preslikava svaki niz vektora koji su prisutni na ulazima mreže u diskretnim vremenskim trenucima $t_1, t_2, \dots, t_i, t_{i+1}, \dots$ u niz izlaznih vektora.
- Sekvencijalna mreža preslikava vektor prisutan na njenim ulazima u trenutku t_i u različite izlazne vektore, što zavisi od stanja u kome se mreža nalazi u trenutku t_i .

- Stanje sekvencijalne mreže u trenutku t_i jednoznačno je određeno stanjem u kojem se mreža nalazila u trenutku t_1 i nizom vektora koji su bili prisutni na ulazima mreže u trenucima $t_1, t_2, \dots, t_{i-1}$.
- izlazni vektor sekvencijalne mreže u trenutku t_i zavisi ne samo od vektora prisutnog na ulazima u tom trenutku već i od niza vektora koji su bili prisutni na ulazima u trenucima $t_1, t_2, \dots, t_{i-1}$.

Zbog toga se kaže da sekvencijalna mreža pamti predistoriju i da ima memoriju.