

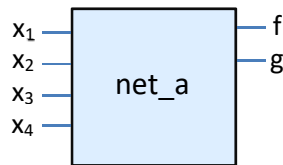
Vežba 7.

Date su funkcije f i g :

$$f = \overline{x_1 x_2 x_3 x_4} + \overline{x_1 x_2 x_3} x_4 + \overline{x_2 x_3} x_4 + \overline{x_1 x_2} x_3 x_4 + \overline{x_1 x_2} x_3 + \overline{x_1} x_3 x_4$$

$$g = (x_1 + x_2 + \overline{x_3} + \overline{x_4})(\overline{x_1} + \overline{x_2} + \overline{x_3} + \overline{x_4})(\overline{x_1} + \overline{x_2} + \overline{x_3} + \overline{x_4})(\overline{x_1} + \overline{x_2} + \overline{x_3} + \overline{x_4})$$

- Funkcije f i g minimizovati.
- Korišćenjem *Xilinx ISE Design Suite* kreirati kombinacionu mrežu čiji je zakon funkcionisanja opisan ovim dvema funkcijama.
- Testirati kombinacionu mrežu koristeći Verilog programski jezik i Verilog test fixture. Rezultate samo iskontrolisati u *ISim* simulatoru.
- Kreirati simbol dat kao na slici 1. korišćenjem kreirane digitalne mreže pod a)



Slika 1

- Korišćenjem kreirane digitalne mreže iz a) i hijerarhijskog načina dizajniranja digitalnih mreža šematskim putem, kreirati kombinacionu mrežu koja ima upravljački ED (enable/disable) signal. Kada je ovaj signal aktivan, mreža treba da rezultate signala sa izlaza f i g upamti u dva JK flip-flopa, nezavisno od signala takta.
- Nakon dizajniranja izvršiti simulaciju korišćenjem *ISim* simulatora korišćenjem *Force Constant* i *Force Clock* opcija.
- Izvršiti implementaciju prekidačke mreže iz d), kreirati *.bit* fajl i testirati ga na FPGA integrisanom kolu *NEXYS2*.