

Top_module_design

Kreiranje osnovnog modula mux2_1 u Vivado

- Otvorimo projekat
- Kreiramo module mux2_1

Top_module_design

```
module mux2_1(  
    input wire a,  
    input wire b,  
    input wire sel,  
    output wire y  
);
```

```
assign y = (sel == 1'b0) ? a : b;
```

```
endmodule
```

Top_module_design

Modul mux2_1 predstavlja 2:1 multiplekser

Ima dva ulaza: a, b

Signal sel bira aktivni ulaz

Izlaz je y

Flow Navigator

PROJECT MANAGER

- Settings
- Add Sources
- Language Templates
- IP Catalog

IP INTEGRATOR

- Create Block Design
- Open Block Design
- Generate Block Design

SIMULATION

- Run Simulation

RTL ANALYSIS

- Run Linter
- Open Elaborated Design

SYNTHESIS

- Run Synthesis
- Open Synthesized Design

IMPLEMENTATION

- Run Implementation
- Open Implemented Design

PROGRAM AND DEBUG

- Generate Bitstream
- Open Hardware Manager

PROJECT MANAGER - modul+top

Sources

Design Sources (1)

mux2_1 (mux2_1.v)

Constraints

Simulation Sources (1)

sim_1 (1)

Utility Sources

Hierarchy

Libraries

Compile Order

Source File Properties

mux2_1.v

☒ Enabled

Location: /home/apeulic/fakultet/predmeti/Osnovne/VLSI/vezbe/V_3/mod

Type: Verilog

General

Properties

Tcl Console

Messages

Log

Reports

Design Runs

Name	Constraints	Status	WNS	TNS	WHS	THS	WBSS	TPWS	Total Power	Failed Routes	Methodology	RQA Score	QoR Suggestions	LUT	FF	BRAM	URAM
synth_1	constrs_1	Not started															
impl_1	constrs_1	Not started															

Project Summary

mux2_1.v

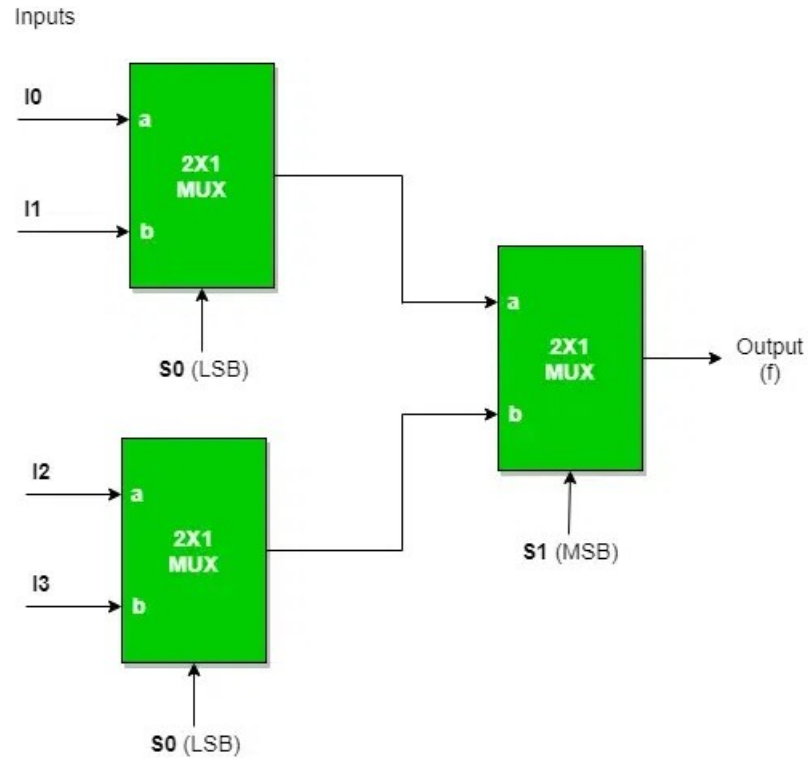
/home/apeulic/fakultet/predmeti/Osnovne/VLSI/vezbe/V_3/modul+top/modul+top.srcs/sources_1/new/mux2_1.v

```
1 module mux2_1(  
2     input wire a,  
3     input wire b,  
4     input wire sel,  
5     output wire y  
6 );  
7  
8 assign y = (sel == 1'b0) ? a : b;  
9  
10 endmodule
```

Kreiranje top modula

- Top modul je glavni modul u projektu
- On povezuje manje module u jednu celinu
- U ovom primeru top modul top_mux koristi modul mux2_1

Kreiranje top modula



Truth Table

S1	S0	f
0	0	I0
0	1	I1
1	0	I2
1	1	I3

Instanciranje modula u Verilog-u

- Modul ima ulaze i izlaze (portove)
- Portovi predstavljaju pinove kola

```
module mux2_1(  
    input wire a,  
    input wire b,  
    input wire sel,  
    output wire y  
);
```

Signali u top modulu

- Top modul ima svoje ulaze i izlaze
- Koriste se i unutrašnji signali (wire)
- I0–I3 → spoljašnji ulazi
- S0, S1 → kontrola
- y0, y1 → unutrašnje veze

```
input wire I0, I1, I2, I3;  
input wire S0, S1;  
output wire f;
```

```
wire y0, y1;
```


Instanciranje modula

- mux2_1 → tip modula
- U1 → instanca
- koristi se postojeći modul

```
mux2_1 U1 (  
    .a(I0),  
    .b(I1),  
    .sel(S0),  
    .y(y0)  
);
```

Povezivanje portova i signala

- levo: port modula
- desno: signal u top modulu .a(10)
- čita se:
- "port a dobija signal 10"

Opšte pravilo instanciranja

- port modula se povezuje sa signalom
- signal dolazi iz top modula
- važi za sve module

.port(signal)

Povezivanje modula međusobno

- y_0 je veza između dva modula
- izlaz jednog modula $\rightarrow$ ulaz drugog
- fizički: žica između kola

```
wire y0;
```

```
mux2_1 U1 (  
    .y(y0)  
);
```

```
mux2_1 U3 (  
    .a(y0)  
);
```

Kreiranje top modula

- U Sources panelu idemo na Design Sources
- Desni klik na Design Sources
- Biramo Add Sources
- Biramo Add or Create Design Sources
- Klik Next
- Klik Create File
- Tip fajla: Verilog
- Ime fajla: mux4_1_top
- Klik OK
- Klik Finish

Flow Navigator

PROJECT MANAGER

- Settings
- Add Sources
- Language Templates
- IP Catalog

IP INTEGRATOR

- Create Block Design
- Open Block Design
- Generate Block Design

SIMULATION

- Run Simulation

RTL ANALYSIS

- Run Linter
- Open Elaborated Design

SYNTHESIS

- Run Synthesis
- Open Synthesized Design

IMPLEMENTATION

- Run Implementation
- Open Implemented Design

PROGRAM AND DEBUG

- Generate Bitstream
- Open Hardware Manager

PROJECT MANAGER - modul+top

Sources

- Design Sources (1)
 - mux4_1_top (mux4_1_top.v) (3)
- Constraints
- Simulation Sources (1)
 - sim_1 (1)
- Utility Sources

Hierarchy Libraries Compile Order

Source File Properties

mux4_1_top.v

☒ Enabled

Location: /home/apeulic/fakultet/predmeti/Osnovne/VLSI/vezbe/V_3/mod

Type: Verilog

General Properties

Tcl Console Messages Log Reports Design Runs

Name Constraints Status WNS TNS WHS THS WBSS TPWS Total Power Failed Routes Methodology RQA Score QoR Suggestions LUT FF BRAM URAM

synth_1	constrs_1	Not started															
impl_1	constrs_1	Not started															

Project Summary

apeulic/fakultet/predmeti/Osnovne/VLSI/vezbe/V_3/modul+top/modul+top.srcs/sources_1/new/mux4_1_top.v

```
1 module mux4_1_top(  
2     input wire I0,  
3     input wire I1,  
4     input wire I2,  
5     input wire I3,  
6     input wire S0,  
7     input wire S1,  
8     output wire f  
9 );  
10  
11 wire y0;  
12 wire y1;  
13  
14 mux2_1 U1 (  
15     .a(I0),  
16     .b(I1),  
17     .sel(S0),  
18     .y(y0)  
19 );  
20  
21 mux2_1 U2 (  
22     .a(I2),
```



```
1 module mux4_1_top(  
2     input wire I0,  
3     input wire I1,  
4     input wire I2,  
5     input wire I3,  
6     input wire S0,  
7     input wire S1,  
8     output wire f  
9 );  
10  
11 wire y0;  
12 wire y1;  
13  
14 mux2_1 U1 (  
15     .a(I0),  
16     .b(I1),  
17     .sel(S0),  
18     .y(y0)  
19 );  
20  
21 mux2_1 U2 (  
22     .a(I2),
```

[vezbe/V_3/modul+top/modul+top.xpr] - Vivado 2025.1

Ready

Default Layout

Project Summary

mux2_1.v

mux4_1_top.v

apeulic/fakultet/predmeti/Osnovne/MLSI/vezbe/V_3/modul+top/modul+top.srscs/sources_1/new/mux4_1_top.v



```
15     .a(I0),
16     .b(I1),
17     .sel(S0),
18     .y(y0)
19 );
20
21 mux2_1 U2 (
22     .a(I2),
23     .b(I3),
24     .sel(S0),
25     .y(y1)
26 );
27
28 mux2_1 U3 (
29     .a(y0),
30     .b(y1),
31     .sel(S1),
32     .y(f)
33 );
34
35 endmodule
```


Top modul koji povezuje tri mux2_1 modula

- Top modul mux4_1_top koristi tri podmodula mux2_1
- Prva dva modula biraju ulaze iz parova
- Treći modul bira jedan od prethodna dva izlaza
- Na ovaj način se gradi 4:1 multiplekser hijerarhijski
- Sada više ne pravimo logiku direktno jednim assign izrazom, već gradimo veći modul od više manjih modula. To je osnovna ideja top modula i hijerarhijskog dizajna.

Signali top_modula

wire y0; i wire y1;

To su unutrašnji signali top modula.

Oni služe da:

- prime izlaz iz prvog podmodula
- prime izlaz iz drugog podmodula
- proslede ih trećem podmodulu

Hijerarhija

Ovde top modul:

- nije običan mux
- već je sastavljen od tri manja mux-a
- mux2_1 je osnovna komponenta
- mux4_1_top je složenija komponenta napravljena od više istih podmodula

To je suština hijerarhijskog projektovanja u Vivado.

Logika biranja

S0 bira unutar parova:

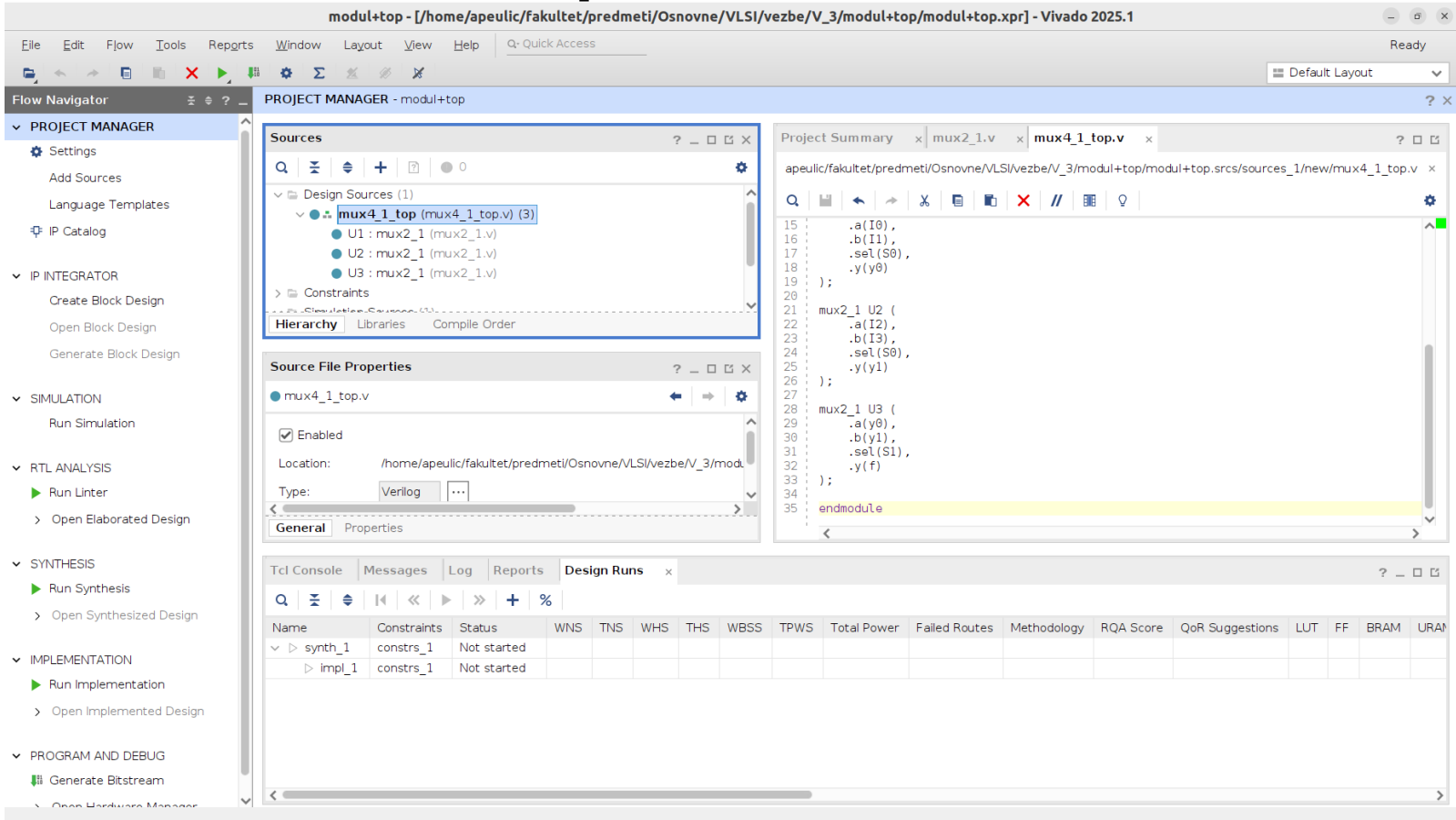
- između I0 i I1
- između I2 i I3

S1 bira koji od ta dva rezultata ide na izlaz

Znači:

- $S1S0 = 00 \rightarrow f = I0$
- $S1S0 = 01 \rightarrow f = I1$
- $S1S0 = 10 \rightarrow f = I2$
- $S1S0 = 11 \rightarrow f = I3$

Potrebno je da mux4_1_top bude
Top modul



Zašto je “Set as Top” nekad sivo, a nekad nije?

Kada je SIVO

- Zato što je taj modul VEĆ top modul
- mux4_1_top je jedini modul na vrhu
- Vivado ga je automatski postavio kao top

Kada NIJE sivo?

Kada ima više kandidata za top modul!

- Top modul je onaj koji niko drugi ne koristi — on je koren hijerarhije!
- Ako imamo vise modula gde nijedan ne koristi drugi
- Vivado NE zna koji je top
- tada Set as Top NIJE sivo

Open Elaborated Design

- Kako Vivado pretvara kod u semu
- RTL Analysis
- Klik Open Elaborated Design

ELABORATED DESIGN - xc7z020clg400-1

 Settings

Settings

Add Sources

Language Templates

IP INTEGRATOR

Create Block Design

Open Block Design

Generate Block Design

Run Simulation

▶ Run Linter

▶ Run Linter

- Open Elaborated Design

[Report Methodology](#)

Report DRC

Report Noise

 Schematic

▶ Run Synthesis

▶ Run Synthesis

- › Open Synthesized Design

▶ Run Implementation

▶ Run Implementation

Netlist



- mux4_1_top.v

- mux4_1_top.v

☒ Enabled

Location: /home/apeulic/fakultet/predmeti/Osnovne/VLSI/ve

Type:

Verilog ...

General

Properties

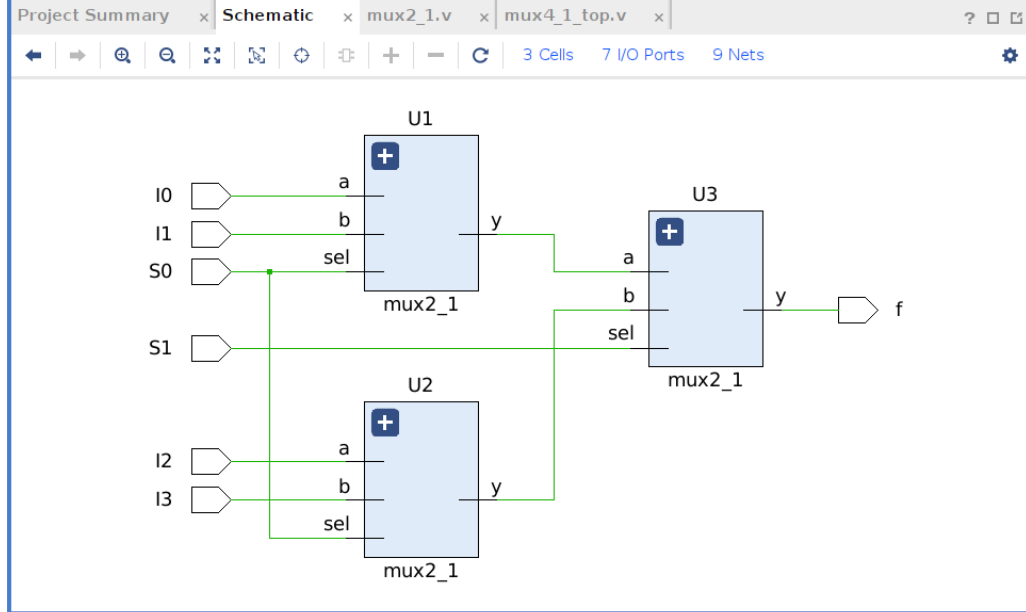
Tcl Console

Messages

Log

Rep

Design Runs



Tcl Console

Messages

Log

Rep

Design Runs

[illegible]

Pokretanje simulacije TestBench

U Sources

Desni klik na:

Simulation Sources

Klik:

Add Sources

Biramo:

Add or Create Simulation Sources

Klik Next

Klik Create File

Tip:

Verilog

Ime:

mux4_1_tb

Klik OK → Finish

```

`timescale 1ns / 1ps

module mux4_1_tb;

reg I0, I1, I2, I3;
reg S0, S1;
wire f;

// instanca top modula
mux4_1_top uut (
    .I0(I0),
    .I1(I1),
    .I2(I2),
    .I3(I3),
    .S0(S0),
    .S1(S1),
    .f(f)
);

initial begin
    // inicijalne vrednosti
    I0 = 0; I1 = 1; I2 = 0; I3 = 1;

    // test svih kombinacija
    S1 = 0; S0 = 0; #10;
    S1 = 0; S0 = 1; #10;
    S1 = 1; S0 = 0; #10;
    S1 = 1; S0 = 1; #10;

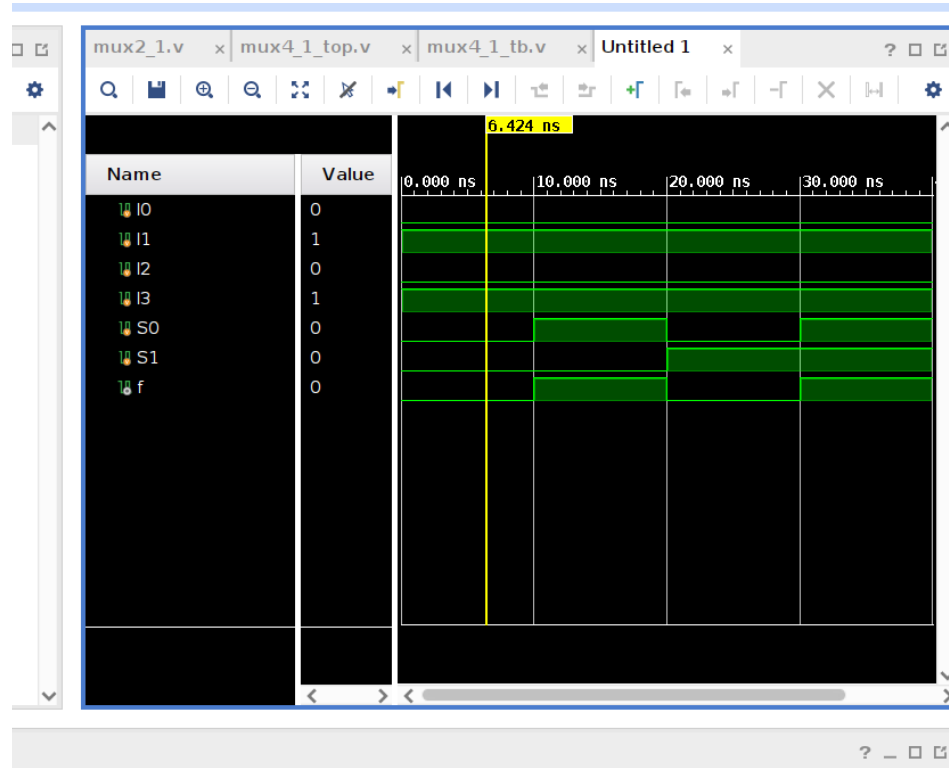
    $stop;
end

endmodule

```

Run Simulation

Run Behavioral Simulation



Najčese greške

- pogrešno povezani portovi
- nedostaje wire između modula
- pogrešan smer signala
- nejasna imena signala

Ključna ideja

- Verilog nije programski jezik
- Verilog opisuje hardver
- Instanciranje = povezivanje kola

Zaključak

- Moduli se povezuju preko portova
- Signali predstavljaju veze (žice)
- Hijerarhija omogućava složene sisteme
- Kod = šema digitalnog kola

Zadatak za vezbu:

- napraviti 8:1 mux iz 2:1, iz 4:1!