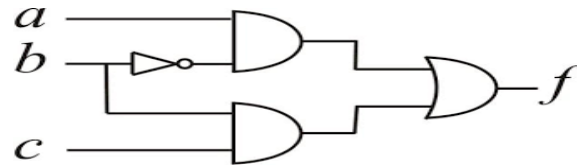
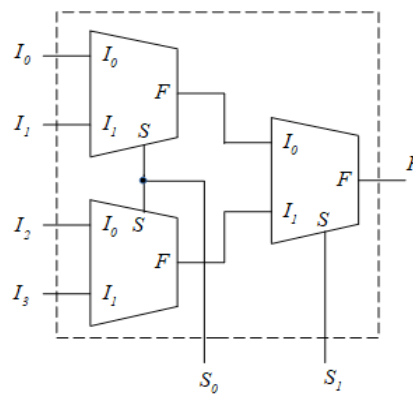


1. Za sve kombinacije ulaznih signala, realizovati logicko kolo sa slike koristeći VHDL i prikazati simulaciju rada. (10)



2. Napisati VHDL kod kojim se realizuje mreza sa slike i prikazati simulaciju rada: (10)



3. Napisati VHDL kod kojim se realizuje mreza sa slike i prikazati simulaciju rada: (10)

