

Hardver platforme PSoC 6 i ploče CY8CKIT-062S2-AI

Od opšte arhitekture mikrokontrolera do konkretne razvojne ploče koju koristimo na vežbama

Podaci o predavanju	
Predmet	Mikroprocesorski sistemi
Tema	Arhitektura mikrokontrolera PSoC 6 i hardver razvojne ploče
Platforma	Infineon CY8CKIT-062S2-AI (PSoC 6 AI Evaluation Kit)
Mikrokontroler	CY8C624ABZI-S2D44 (PSoC 62, Arm Cortex-M4F + Cortex-M0+)
Autor	Aleksandar Peulić
Osnovni izvori	Kit Guide 002-39425 Rev *B, datasheet 002-23185 Rev *T, BSP TARGET_CY8CKIT-062S2-AI

Sadržaj predavanja

- Deo I: opšta arhitektura.** Šta čini mikrokontroler, PSoC 6 kao dvojezgarni sistem na čipu, memorije i memorijska mapa, magistrale, periferije, sistem takta, napajanje i režimi rada, prekidi, pokretanje.
- Deo II: specifičnosti ploče CY8CKIT-062S2-AI.** Čip na ploči, KitProg3, napajanje, kristali, tasteri i LED diode, senzori, QSPI memorija, Wi-Fi/Bluetooth modul, konektori.
- Deo III: veza sa vežbama,** spisak stavki koje treba proveriti na ploči i pitanja za ponavljanje.

1. Uvod i ciljevi

Na vežbama radimo sa pločom **CY8CKIT-062S2-AI** kompanije Infineon. Da bismo razumeli šta se dešava kada pozovemo funkciju kao što je `cyhal_gpio_write()` ili kada podesimo tajmer u Device Configurator-u, moramo znati kako je hardver organizovan: koje jezgro izvršava naš kod, gde se nalazi program, kako takt stiže do periferije i kako periferija javlja procesoru da se nešto desilo.

Predavanje ide od opšteg ka posebnom. Prvo ponavljamo pojmove koji važe za svaki mikrokontroler, zatim ih primenjujemo na porodicu **PSoC 6**, a na kraju opisujemo konkretnu ploču: koji senzori su na njoj, na kojim pinovima se nalaze i kako se ploča napaja i programira.

Posle ovog predavanja student treba da:

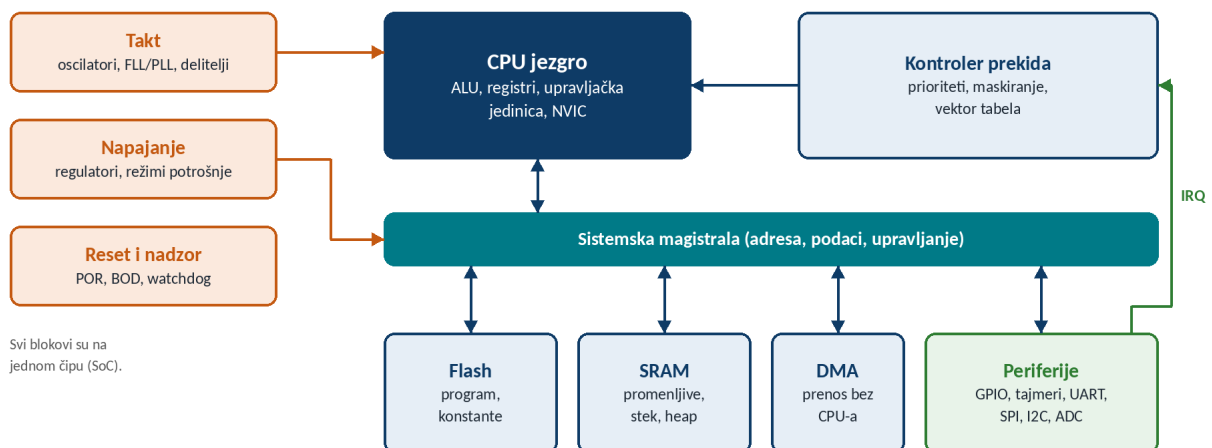
- nabroji osnovne blokove mikrokontrolera i objasni ulogu svakog,
- opiše dvojezgaru arhitekturu PSoC 6 i podelu posla između Cortex-M4F i Cortex-M0+ jezgra,
- pročitati memorijsku mapu i kaže gde se nalaze Flash, SRAM i registri periferija,
- objasni put takta od oscilatora do periferije i put prekida od periferije do prekidne rutine,
- na ploči pronađe KitProg3, korisničke LED diode i taster, senzore i konektore i kaže na koje pinove su povezani.

NAPOMENA

Podaci o čipu i ploči preuzeti su iz zvanične Infineon dokumentacije: Kit Guide 002-39425 Rev *B (decembar 2025), datasheet 002-23185 Rev *T (PSoC 6 CY8C62x8/CY8C62xA) i dokumentacija BSP-a **TARGET_CY8CKIT-062S2-AI**. Gde se izvori razlikuju ili podatak nije potvrđen na ploči u laboratoriji, to je označeno okvirom **PROVERITI**, a sve takve stavke sabrane su u poglavlju 10.

2. Mikrokontroler kao sistem na čipu

Mikrokontroler (MCU, *microcontroller unit*) je ceo računarski sistem smešten na jedan čip: procesorsko jezgro, memorija za program i podatke, ulazno-izlazne periferije, izvori takta i blokovi za napajanje i nadzor. Za razliku od procesora u personalnom računaru, mikrokontroleru nisu potrebne spoljne memorije ni čipovi za periferije da bi radio; dovoljni su napajanje i, po potrebi, kristal.



Slika 1. Opšta blok-šema mikrokontrolera

Tabela 1. Osnovni blokovi mikrokontrolera

Blok	Uloga	Primer kod PSoC 6
CPU jezgro	Dohvata instrukcije iz memorije, dekodira ih i izvršava; sadrži registre i ALU.	Cortex-M4F i Cortex-M0+
Programska memorija	Trajno čuva program i konstante; zadržava sadržaj bez napajanja.	Flash 2 MB
Memorija podataka	Promenljive, stek i heap; gubi sadržaj kad nestane napajanja.	SRAM 1 MB
Magistrala	Povezuje jezgra (master) sa memorijama i periferijama (slave).	Višeslojni AHB
Periferije	Komunikacija sa spoljnim svetom: digitalni ulazi i izlazi, tajmeri, serijski interfejsi, ADC.	GPIO, TCPWM, SCB, SAR ADC
Takt	Daje ritam svim sinhronim kolima; određuje brzinu i potrošnju.	IMO, ECO, FLL, PLL
Napajanje i nadzor	Regulacija napona jezgra, režimi niske potrošnje, reset i watchdog.	LDO/buck, WDT
Kontroler prekida	Prima zahteve periferija, poredi prioritete i prekida tekući program.	NVIC

2.1 Harvard i fon Nojmanova organizacija

Kod **fon Nojmanove** organizacije instrukcije i podaci prolaze kroz istu magistralu, pa jezgro u jednom trenutku može da čita ili instrukciju ili podatak. Kod **Harvard** organizacije postoje odvojeni putevi za instrukcije i podatke, pa se oba pristupa mogu odvijati istovremeno. Cortex-M4 ima Harvard organizaciju magistrala (odvojene I-Code i D-Code magistrale i sistemska magistrala), dok Cortex-M0+ ima jednu AHB-Lite magistralu. Za programera su obe varijante iste: adresni prostor je jedinstven i isti pokazivač može da pokazuje na Flash ili SRAM.

2.2 Memorijski mapirane periferije

Kod Arm Cortex-M mikrokontrolera periferije se upravljaju **upisom i čitanjem registara** koji imaju svoje adrese u istom adresnom prostoru kao i memorija. Paljenje LED diode na kraju se svodi na upis jednog bita na određenu adresu. Funkcije biblioteka (PDL, HAL) samo skrivaju te adrese iza čitljivih imena.

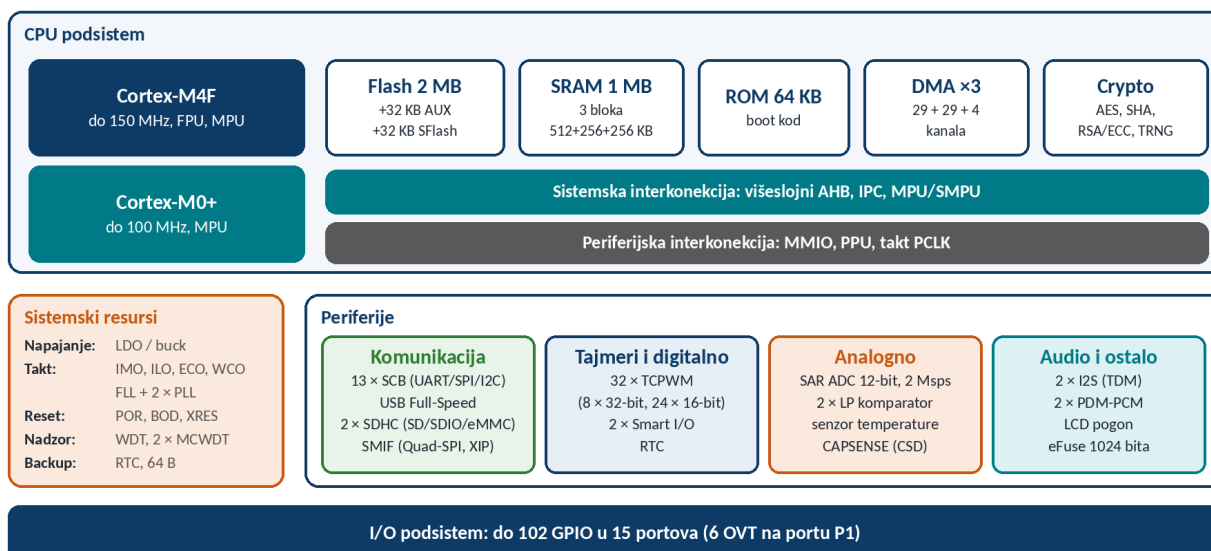
```

/* Isti efekat, tri nivoa apstrakcije (ilustracija) */
cyhal_gpio_write(CYBSP_USER_LED, 1u);           /* HAL: prenosiv kod      */
Cy_GPIO_Write(GPIO_PRT5, 3u, 1u);                /* PDL: port 5, pin 3     */
/* registar: upis u OUT registar porta 5, bit 3 (adresa iz TRM-a) */

```

3. Arhitektura PSoC 6

PSoC 6 (*Programmable System-on-Chip*) je porodica mikrokontrolera namenjena uređajima niske potrošnje i povezanim uređajima (IoT). Na našoj ploči je čip **CY8C624ABZI-S2D44** iz linije **PSoC 62** (podfamilija CY8C62xA). Oznaka govori o kućištu i memoriji: verzija sa 2 MB Flash-a i 1 MB SRAM-a u BGA kućištu sa 124 kuglice.



Slika 2. Blok-šema PSoC 6 (CY8C62xA), pojednostavljeno prema datasheet-u 002-23185

Čip se može podeliti na pet celina, kako ih deli i datasheet:

- **CPU podsistem:** dva jezgra, Flash, SRAM, ROM, DMA kontroleri, kriptografski akcelerator i sistemska interkonekcija.
- **Sistemske resursi:** napajanje, takt, reset, watchdog tajmeri i backup domen sa RTC-om.
- **Periferije:** komunikacioni blokovi, tajmeri, audio i analogni blokovi.
- **Programabilna digitalna logika:** Smart I/O blokovi koji mogu da izvode jednostavne logičke funkcije nad pinovima bez CPU-a.
- **I/O podsistem:** do 102 GPIO pina u 15 portova.

3.1 Dvojezgarni CPU podsistem

PSoC 6 ima **dva Arm jezgra** koja rade nezavisno i dele memoriju i periferije. Jače jezgro, **Cortex-M4F**, namenjeno je aplikaciji; slabije, **Cortex-M0+**, namenjeno je sistemskim i bezbednosnim poslovima i radu u režimima niske potrošnje.

Tabela 2. Poređenje jezgara (datasheet 002-23185)

Osobina	Cortex-M4F	Cortex-M0+
Maksimalni takt	150 MHz	100 MHz
Arhitektura (Arm)	Armv7E-M, Thumb/Thumb-2, DSP instrukcije	Armv6-M, Thumb
FPU	Da (jednostruka preciznost)	Ne
Množenje	Jednociklusno	Jednociklusno
Zaštita memorije	MPU	MPU
Prekidi	168 IRQ linija, 8 nivoa prioriteta	8 IRQ (preko multipleksera) + 8 softverskih, 4 nivoa prioriteta
Tipična uloga	Korisnička aplikacija, obrada signala, AI modeli	Pokretanje (boot), sistemski pozivi, bezbednost, zadaci niske potrošnje

Kada CM4 radi brže od 100 MHz, CM0+ i periferijska magistrala rade na polovini njegove frekvencije; na primer, pri 150 MHz za CM4, CM0+ radi na 75 MHz.

NAPOMENA

U ModusToolbox projektima koje koristimo na vežbama naš kod se prevodi za **CM4**. Na CM0+ se tipično učitava gotova slika koju obezbeđuje Infineon (u BSP-u se zove **CM0P_SLEEP**) i koja posle pokretanja samo omogući rad CM4 i uspava CM0+. Dvojezgarne aplikacije, u kojima oba jezgra izvršavaju naš kod, prave se kao posebni projekti sa dva dela.

PROVERITI

Naziv i ponašanje podrazumevane CM0+ slike proveriti u **Makefile**-u projekta i README-u BSP-a za verziju ModusToolbox-a u laboratoriji (promenljiva **CORE** i komponenta **CM0P_SLEEP**).

Komunikacija između jezgara (IPC)

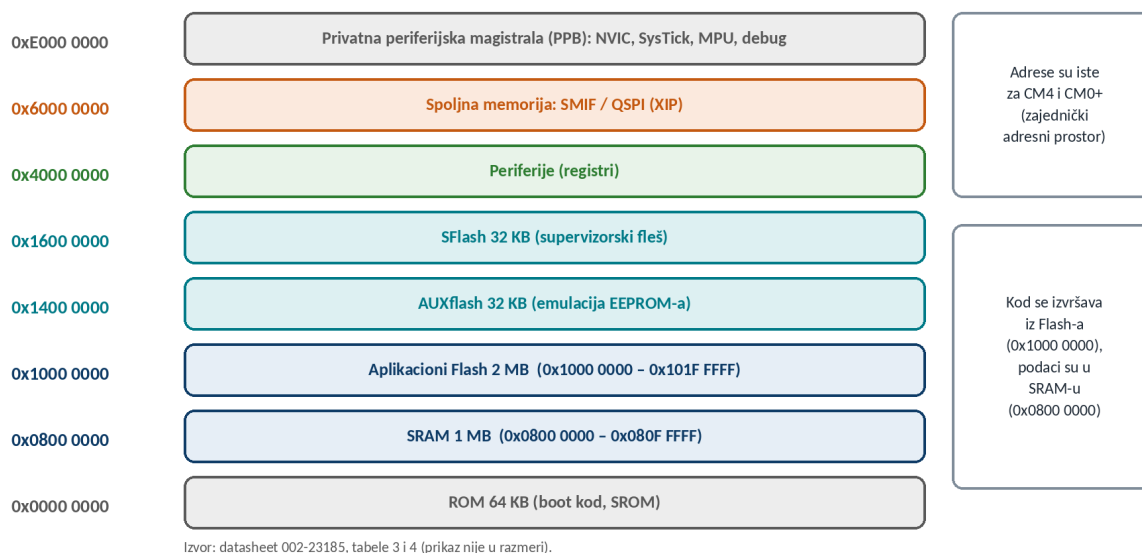
Jezgra razmenjuju poruke preko **IPC** blokova (*Inter-Processor Communication*). PSoC 6 ima **16 IPC kanala** i **16 IPC prekidnih struktura**, od kojih je po 8 rezervisano za sistem. IPC kanal radi kao hardverski semafor (zaključavanje deljenog resursa) i kao poštansko sanduče: jedno jezgro upiše pokazivač na poruku i izazove prekid na drugom jezgrou.

3.2 Memorije i memorijska mapa

Tabela 3. Unutrašnje memorije CY8C62xA

Memorija	Veličina	Namena
Aplikacioni Flash	2048 KB (sektori po 256 KB)	Program i konstante; izvršavanje uz keš od 8 KB po jezgrou
AUXflash	32 KB	Tipično za emulaciju EEPROM-a (trajno čuvanje podešavanja)
Supervizorski Flash (SFlash)	32 KB	Sistemske podaci, kalibracija i bezbednosne postavke
SRAM	1024 KB u 3 bloka (512 + 256 + 256 KB)	Promenljive, stek, heap; blokovi se mogu isključivati radi uštede
ROM (SROM)	64 KB	Boot kod i sistemski pozivi; ne može se menjati
eFuse	1024 bita (648 rezervisano)	Jednokratno programirani bitovi: životni ciklus čipa, ključevi
Backup memorija	64 bajta	Ostaje sačuvana u backup domenu (uz RTC)

Oba jezgra vide **isti adresni prostor**. Program se izvršava direktno iz Flash-a koji počinje na adresi **0x1000 0000**, a SRAM počinje na **0x0800 0000**. Registri periferija nalaze se u oblasti od **0x4000 0000**, a spoljna QSPI memorija može se mapirati u oblast od **0x6000 0000** i iz nje se može direktno izvršavati kod (XIP, *execute in place*).



Slika 3. Memorijska mapa PSoC 6 (CY8C62xA)

ZAPAMTITE

Kod PSoC 6 SRAM nije na uobičajenoj Arm adresi **0x2000 0000**, već na **0x0800 0000**, u Code oblasti. Zbog toga CM4 na ovom čipu ne podržava bit-banding. Ovo je važno kada se čita tuđi kod pisan za druge Cortex-M mikrokontrolere ili kada se analizira linker skripta.

3.3 Magistrale, DMA i zaštita

Jezgra, DMA kontroleri i ostali masteri povezani su sa memorijama preko **višeslojne AHB interkonekcije** (Arm AMBA AHB). Višeslojna znači da više mastera može istovremeno da pristupa različitim slave uređajima, na primer CM4 čita Flash dok DMA upisuje u SRAM. Do registara periferija stiže se preko **periferijske interkonekcije** koju taktuje periferijski takt.

DMA kontroleri

DMA (*Direct Memory Access*) prenosi podatke između periferije i memorije bez učešća procesora. PSoC 6 ima **tri DMA kontrolera**: dva sa po **29 kanala** i jedan sa **4 kanala**. Deskriptori koji opisuju prenos mogu biti u SRAM-u ili Flash-u. Tipična upotreba: ADC puni bafer u SRAM-u, a CPU se budi tek kada je bafer pun.

Jedinice za zaštitu

- **MPU** (*Memory Protection Unit*) u svakom jezgru ograničava kojim oblastima memorije program sme da pristupi.
- **SMPU** (*Shared Memory Protection Unit*) štiti deljenu memoriju kada joj pristupa više mastera.
- **PPU** (*Peripheral Protection Unit*) štiti registre periferija.
- Pristup se dodeljuje po **zaštitnim kontekstima** (do osam); tako se, na primer, kriptografski ključevi mogu sakriti od aplikacije.

Kriptografski akcelerator

Blok **Crypto** hardverski izvršava AES (128/192/256), DES/3DES, RSA i ECC, SHA-1 i SHA-2 heš funkcije, HMAC, CMAC i CRC-32, i sadrži generatore pseudo-slučajnih i pravih slučajnih brojeva (PRNG, TRNG). Koristi se za bezbedno pokretanje i zaštićenu komunikaciju (na primer TLS preko Wi-Fi veze).

3.4 Periferije

Tabela 4. Periferije CY8C62xA (datasheet 002-23185)

Grupa	Blok	Količina i osobine
Komunikacija	SCB (Serial Communication Block)	13 blokova: 8 kao SPI/I2C/UART, 4 kao I2C/UART, 1 (SCB #8) radi u Deep Sleep režimu kao SPI ili I2C slave. I2C do 1 Mbps, UART do 8 Mbps, SPI do 25 MHz. FIFO od 256 bajtova.
	USB	USB Full-Speed uređaj (do 8 krajnjih tačaka) ili host
	SDHC	2 kontrolera za SD, SDIO i eMMC
	SMIF (Quad-SPI)	Do 80 MHz, do 4 spoljna uređaja, XIP, keš 4 KB, AES-128 šifrovanje u letu
Tajmeri	TCPWM	32 bloka: 8 × 32-bit i 24 × 16-bit; tajmer, brojač, PWM, merenje impulsa, kvadraturni dekodir
	RTC	Sat realnog vremena u backup domenu, takt od WCO kristala 32,768 kHz
	WDT, MCWDT	1 WDT (16-bit, takt ILO) i 2 MCWDT (po dva 16-bitna i jedan 32-bitni brojač)
Analogno	SAR ADC	12 bita, 2 Msps, sekvencer sa 16 kanala; ne radi u Deep Sleep i Hibernate
	LP komparatori	2 komparatora niske potrošnje; rade i u Deep Sleep i Hibernate
	Senzor temperature	Interni, vezan na SAR ADC
	CAPSENSE (CSD)	Kapacitivni tasteri i klizači: self i mutual kapacitivnost
Audio	I2S, PDM-PCM	2 × I2S (sa TDM režimom) i 2 × PDM-PCM kanala za digitalne mikrofone
Ostalo	LCD, Smart I/O	Pogon LCD-a (do 101 segment, 8 zajedničkih linija); 2 Smart I/O bloka na portovima 8 i 9

Važna osobina PSoC 6 je da se većina digitalnih periferija može **rasporediti na više različitih pinova**. Koji SCB ide na koji pin, odnosno koji TCPWM izlaz može da pobudi koju LED diodu, bira se u **Device Configurator-u**, a dozvoljene kombinacije su date u tabelama alternativnih funkcija pinova u datasheet-u.

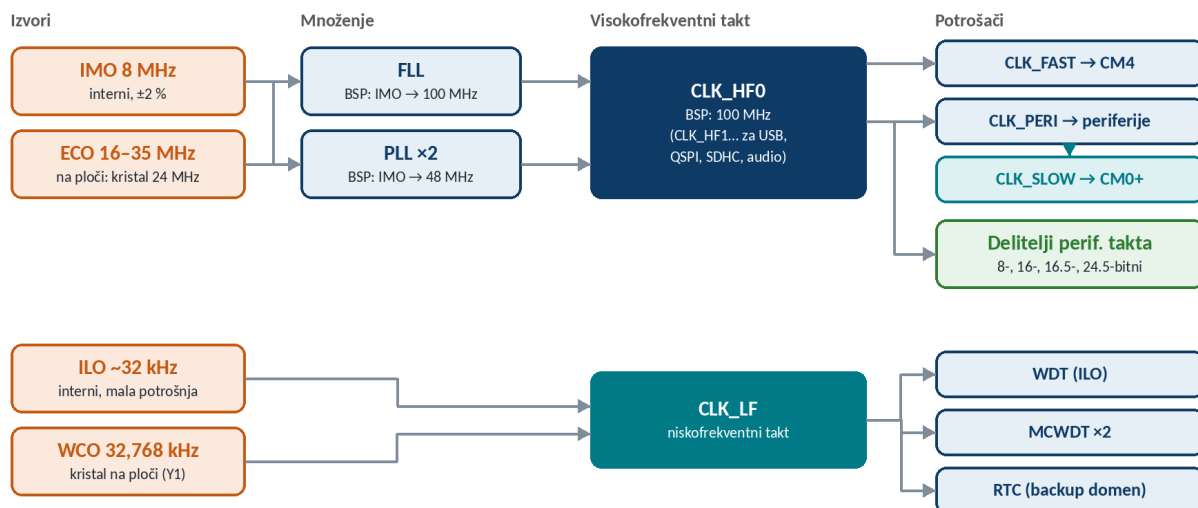
3.5 Sistem takta

Svako sinhrono kolo u čipu radi u ritmu nekog takta. PSoC 6 ima nekoliko **izvora takta**, kola za **množenje frekvencije** (FLL i PLL) i mrežu **delitelja** koja takt raspoređuje do jezgara i periferija.

Tabela 5. Izvori takta

Izvor	Frekvencija	Napomena
IMO (Internal Main Oscillator)	8 MHz, $\pm 2\%$	Interni, uvek dostupan; podrazumevani izvor
ECO (External Crystal Oscillator)	16–35 MHz	Spoljni kristal, veća tačnost; na ploči je kristal od 24 MHz
ILO (Internal Low-speed Oscillator)	približno 32 kHz	Interni, vrlo mala potrošnja; takt za WDT
WCO (Watch Crystal Oscillator)	32,768 kHz	Spoljni satni kristal; tačan takt za RTC

Izvor	Frekvencija	Napomena
FLL	množi ulazni takt	Brzo zaključavanje, manja tačnost faze
PLL (2 kom.)	množi ulazni takt	Precizan takt, na primer za USB i audio



Vrednosti označene sa „BSP“ su podrazumevana konfiguracija BSP-a TARGET_CY8CKIT-062S2-AI; menjaju se u Device Configurator-u.

Slika 4. Pojednostavljeno stablo takta i podrazumevane vrednosti BSP-a

Iz izvora i množača formiraju se **visokofrekventni taktovi** CLK_HF. Iz CLK_HF0 se dalje deljenjem dobijaju takt za CM4 (CLK_FAST), takt za periferije (CLK_PERI) i takt za CM0+ (CLK_SLOW). Pojedinačne periferije (SCB, TCPWM, ADC) dobijaju takt iz **programabilnih delitelja**: osam 8-bitnih, šesnaest 16-bitnih celobrojnih, četiri 16.5-bitna i jedan 24.5-bitni razlomljeni delitelj. Prema BSP-u ploče, podrazumevano je FLL podešen na **100 MHz** iz IMO-a, PLL na **48 MHz**, a CLK_HF0 radi na **100 MHz**.

PROVERITI

Imena CLK_FAST, CLK_PERI i CLK_SLOW i redosled delitelja dati su prema PSoC 6 tehničkom referentnom priručniku (TRM) i PDL biblioteci, a ne prema dokumentima navedenim na naslovnoj strani. Pre predavanja otvoriti karticu *System → Clocks* u Device Configurator-u za projekat sa ploče i uporediti sa slikom.

3.6 Napajanje i režimi rada

Čip se napaja naponom **VDDD od 1,7 V do 3,6 V**. Unutrašnja logika (jezgra, memorije) radi na nižem naponu jezgra **VCCD**, koji pravi interni regulator. Regulator može biti **LDO** (jednostavan, linearni) ili **buck** (prekidački, efikasniji, sopstvena potrošnja ispod 1 μA). Napon jezgra određuje sistemski režim:

- **System LP (Low Power)**: VCCD = 1,1 V, puna brzina (CM4 do 150 MHz).
- **System ULP (Ultra Low Power)**: VCCD = 0,9 V, manja maksimalna frekvencija, ali i manja potrošnja po MHz.

Tabela 6. Režimi potrošnje (datasheet 002-23185)

Režim	Šta radi	Kako se izlazi
CPU Active	Jezgro izvršava instrukcije	–
CPU Sleep	Jezgro stoji, periferije i takt rade	Bilo koji omogućen prekid

Režim	Šta radi	Kako se izlazi
System Deep Sleep	Visokofrekventni takt ugašen; rade niskofrekventni blokovi (WDT, MCWDT, RTC, LP komparatori, Smart I/O, SCB #8); SRAM se može zadržati	Prekid preko WIC-a (do 39 izvora), npr. taster ili MCWDT
System Hibernate	Gotovo sve ugašeno, SRAM se ne čuva; rade samo blokovi za buđenje	Wake-up pin, LP komparator, WDT, RTC alarm; buđenje ide kroz reset

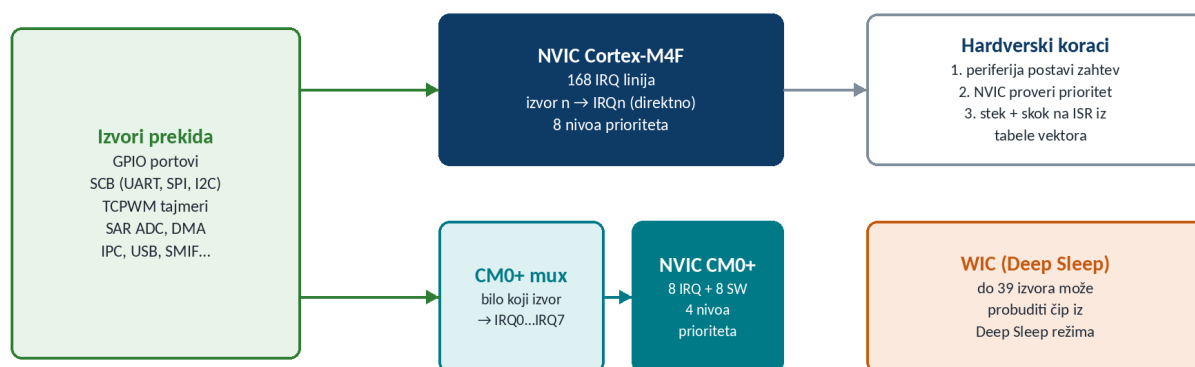
Primer reda veličine: u režimu Deep Sleep sa zadržanih 64 KB SRAM-a potrošnja je oko **7 μ A**. U aktivnom radu, pri 3,3 V i buck regulatoru, CM4 troši oko **40 μ A/MHz** u LP režimu, odnosno **27 μ A/MHz** u ULP režimu.

NAPOMENA

Datasheet u listi osobina navodi „šest režima”, a u odeljku 3.2.2 opisuje sedam (System LP, System ULP, CPU Active, CPU Sleep, CPU Deep Sleep, System Deep Sleep, System Hibernate). Razlika je samo u brojanju: CPU režimi i sistemski režimi su dva nivoa iste podele.

3.7 Prekidi i izuzeci

Prekid je hardverski mehanizam kojim periferija privremeno zaustavlja tekući program da bi procesor izvršio kratku **prekidnu rutinu** (ISR). Na Cortex-M jezgrima prekidima upravlja **NVIC** (*Nested Vectored Interrupt Controller*): svaki prekid ima broj, prioritet i adresu rutine u **tabeli vektora**. Prekid višeg prioriteta može da prekine rutinu nižeg prioriteta (ugnježdavanje).



NMI: po jezgru do 4 sistemski prekida mogu se povezati na nemaskirajući prekid.

Slika 5. Povezivanje izvora prekida na NVIC oba jezgra

- **CM4** ima **168 IRQ linija**; izvor broj *n* vezan je direktno na IRQ*n*. Dostupno je 8 nivoa prioriteta.
- **CM0+** ima samo **8 spoljašnjih IRQ ulaza** (IRQ0–IRQ7). Koji se izvor vezuje na koji ulaz bira se programski preko **multipleksera**. Uz to postoji 8 softverskih prekida i 4 nivoa prioriteta.
- Na nemaskirajući prekid (**NMI**) svakog jezgra mogu se povezati do 4 sistemski prekida.
- U Deep Sleep režimu NVIC ne radi, pa buđenje preuzima **WIC** (*Wakeup Interrupt Controller*), koji podržava do 39 izvora.

Kada periferija zatraži prekid, hardver sam sačuva deo registara na stek (R0–R3, R12, LR, PC, xPSR), pročita adresu rutine iz tabele vektora i skoči na nju. Zato prekidna rutina na Cortex-M može biti obična C funkcija. U prekidnoj rutini treba obrisati zastavicu prekida u periferiji, inače će se prekid odmah ponoviti.

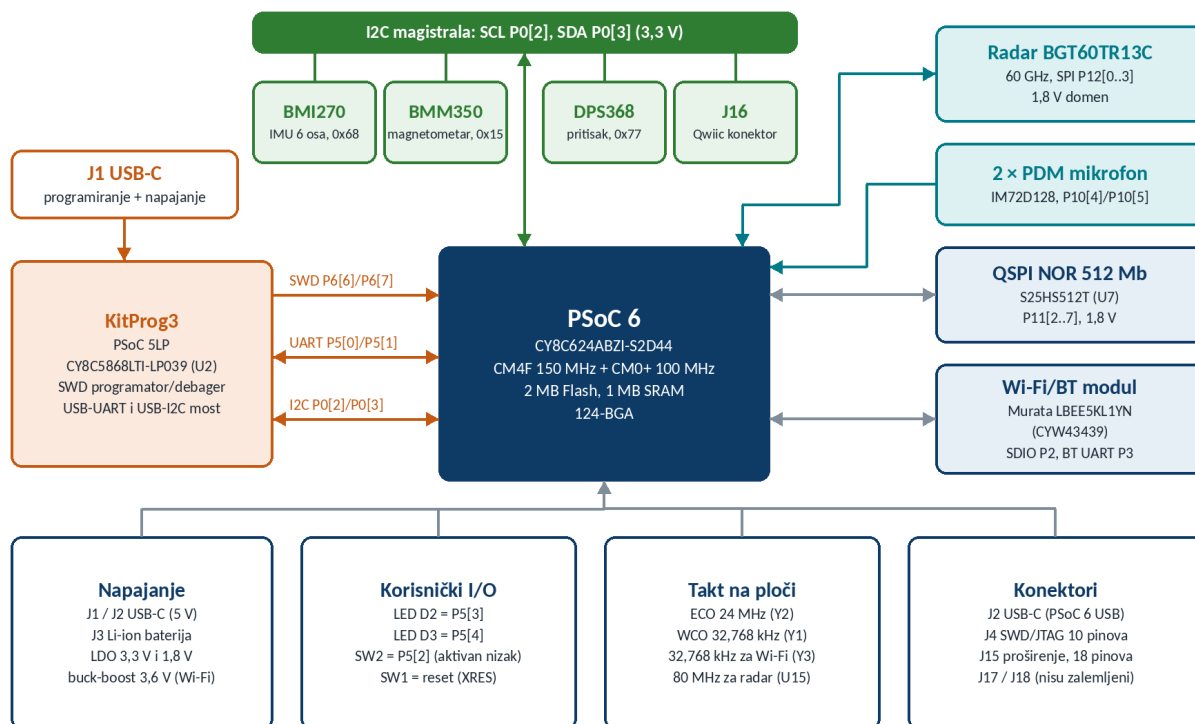
3.8 Reset, pokretanje i bezbednost

Izvori reseta su: uključenje napajanja (**POR**), pad napona (**BOD**), spoljni reset pin **XRES** (aktivan nizak, na ploči taster SW1), watchdog tajmeri, softverski reset, greška zaštite i buđenje iz Hibernate režima.

Posle reseta prvo se izvršava **ROM Boot**, i to isključivo na jezgru **CM0+**. On proverava ispravnost Flash Boot koda, učitava fabričke kalibracije, podešava zaštitne jedinice i primenjuje ograničenja životnog ciklusa čipa. Zatim **Flash Boot** omogućava sistemske pozive, podešava debug port (SWD) i pokreće korisničku aplikaciju. Ako aplikacija ne prođe proveru, čip prelazi u bezbedno stanje. Ovaj lanac poverenja, koji počinje kodom u ROM-u, zove se **Secured Boot**.

4. Ploča CY8CKIT-062S2-AI: pregled

CY8CKIT-062S2-AI (PSoC 6 AI Evaluation Kit) je jeftina razvojna ploča namenjena prikupljanju podataka sa senzora i izvršavanju modela mašinskog učenja na mikrokontroleru. Pored PSoC 6 čipa, na ploči su programator, Wi-Fi/Bluetooth modul, spoljna Flash memorija i pet vrsta senzora. U kompletu dolazi ploča i kartica sa QR kodom ka stranici za početak rada; **USB kabl nije uključen**.



Slika 6. Blok-šema ploče CY8CKIT-062S2-AI (prema Kit Guide-u 002-39425)

Tabela 7. Glavne komponente ploče

Komponenta	Oznaka i deo	Interfejs
Mikrokontroler	CY8C624ABZI-S2D44	–
Programator/debuger	KitProg3 na PSoC 5LP, CY8C5868LTI-LP039 (U2)	USB-C J1; SWD, USB-UART, USB-I2C
Wi-Fi/Bluetooth	Murata LBEE5KL1YN (čip AIROC CYW43439), Wi-Fi 4 i Bluetooth 5.2	SDIO + UART
Spoljna Flash memorija	U7, S25HS512T, 512 Mb (64 MB) NOR	Quad-SPI
Radar 60 GHz	U6, BGT60TR13C	SPI
IMU (akcelerometar + žiroskop)	U18, BMI270, 6 osa	I2C
Magnetometar	U19, BMM350, 3 ose	I2C
Barometarski senzor pritiska	U3, DPS368	I2C
Digitalni mikrofoni	U4 i U5, IM72D128	PDM
Korisnički I/O	LED D2 i D3, taster SW2, reset SW1	GPIO

5. Mikrokontroler na ploči i naponski domeni

Čip CY8C624ABZI-S2D44 na ploči ima sve osobine opisane u Delu I: CM4F na 150 MHz, CM0+ na 100 MHz, 2048 KB Flash-a, 32 KB AUXflash-a, 32 KB SFlash-a i 1024 KB SRAM-a, 12-bitni SAR ADC od 2 Msps i 102 GPIO pina u 15 portova.

Posebnost ove ploče je da **portovi ne rade svi na istom naponu**. Deo komponenti (radar, QSPI Flash, Wi-Fi modul) radi na 1,8 V, pa su portovi na koje su povezani napajani iz grane od 1,8 V.

Tabela 8. Naponski domeni (Kit Guide, odeljak Power supply)

Napon	Napojni pinovi PSoC 6	Portovi
3,3 V	VDDD, VDDA/VDDIOA, VDDUSB, VBACKUP, VDDIO1, VDD_NS	P0, P1, P5–P10, P14
1,8 V	VDDIO0, VDDIO2	P2–P4, P11–P13
1,1 V ili 0,9 V	VCCD (napon jezgra, interni LDO ili buck)	–

VAŽNO

Pre povezivanja bilo čega spolja proverite **napon porta**. Pinovi portova P11–P13 (među njima i deo pinova na konektoru J15) rade na **1,8 V**. Signal od 3,3 V doveden na takav pin može oštetiti čip, a izlaz od 1,8 V možda neće biti prepoznat kao logička jedinica na spoljnom modulu od 5 V ili 3,3 V.

6. Programiranje, napajanje i takt ploče

6.1 KitProg3

KitProg3 je ugrađeni programator i debager. Na ovoj ploči je realizovan na posebnom mikrokontroleru **PSoC 5LP (CY8C5868LTI-LP039, U2)** i povezan sa računarom preko **USB-C konektora J1**. Preko jednog USB kablja obezbeđuje tri funkcije:

Tabela 9. Funkcije KitProg3 (Kit Guide 002-39425)

Funkcija	Pinovi PSoC 6	Upotreba
SWD programiranje i debagovanje	SWDIO = P6[6], SWCLK = P6[7], SWO = P6[4]	Upis programa u Flash, prekidne tačke, praćenje promenljivih
USB-UART most	P5[0] i P5[1]	Serijski terminal (printf), na vežbama 115200 8N1
USB-I2C most	SCL = P0[2], SDA = P0[3]	Pristup I2C magistrali sa računara

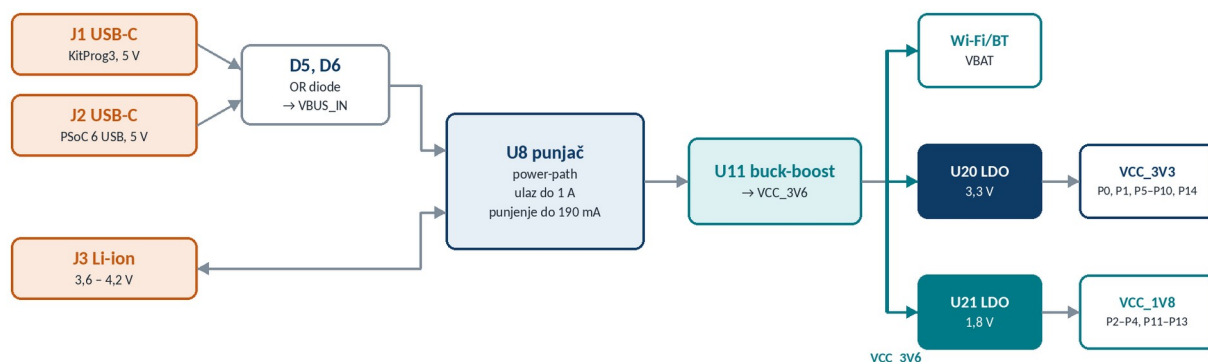
Uz KitProg3 idu taster za izbor režima **SW3** i statusna LED dioda (crvena). Kada LED stalno svetli, KitProg3 je u **CMSIS-DAP Bulk** režimu (podrazumevano); kada LED „diše” frekvencijom od 1 Hz, programator je u **CMSIS-DAP HID** režimu.

PROVERITI

- Kit Guide u jednoj tabeli navodi P5[0] kao TX, a u drugoj kao RX (i obrnuto za P5[1]). Smer treba proveriti na šemi; u BSP-u su ti pinovi pod imenima **CYBSP_DEBUG_UART_TX** i **CYBSP_DEBUG_UART_RX**, pa se u kodu preporučuje korišćenje tih imena.
- Statusna LED KitProg3 u tekstu je označena kao **D12**, a u jednoj tabeli kao D2. Proveriti oznaku štampanu na ploči.

Za spoljni programator (na primer MiniProg4) na ploči postoji 10-pinski SWD/JTAG konektor **J4**. Ploča se **ne sme napajati** preko J4.

6.2 Napajanje ploče



Pojednostavljeno prema Kit Guide-u 002-39425 Rev *B, odeljak Power supply. Tačne veze proveriti na šemi ploče.

Slika 7. Pojednostavljeno stablo napajanja ploče

Ploča se može napajati iz tri izvora: preko **J1** (USB-C KitProg3, 5 V), preko **J2** (USB-C priključak samog PSoC 6, 5 V) ili iz **Li-ion baterije** na konektoru **J3** (3,6–4,2 V). Dva USB napona spajaju se preko dioda D5 i D6 u zajedničku granu VBUS_IN. Punjač **U8** sa upravljanjem putanjom napajanja (*power path*) ograničava ulaznu struju na 1 A i puni bateriju strujom do 190 mA.

Tabela 10. Regulatori na ploči

Regulator	Tip	Izlaz	Napaja
U11	buck-boost	3,6 V (VCC_3V6)	Wi-Fi/BT modul (VBAT) i ulaze regulatora U20 i U21
U20	LDO	3,3 V (VCC_3V3)	PSoC 6 (3,3 V domen) i periferije
U21	LDO	1,8 V (VCC_1V8)	PSoC 6 (1,8 V domen), radar, QSPI Flash

Indikatori napajanja su LED **D1** (ploča je napajana iz J1, J2 ili J3), **D8** (*power good*) i **D11** (punjenje baterije).

PROVERITI

Kit Guide navodi da se U20 i U21 napajaju iz grane VCC_3V6, ali ne kaže eksplicitno iz koje tačke se napaja U11. Na slici je pretpostavljeno da je to izlaz punjača U8. Tačnu vezu, kao i mesto za merenje struje mikrokontrolera, proveriti na šemi ploče (deo paketa dokumentacije kita).

6.3 Takt na ploči

Tabela 11. Kristali i oscilatori na ploči

Oznaka	Frekvencija	Pinovi	Namena
Y2	24 MHz kristal	P12[6], P12[7]	ECO, precizan glavni takt
Y1	32,768 kHz kristal	P0[0], P0[1]	WCO, takt za RTC i režime niske potrošnje
Y3	32,768 kHz oscilator	–	Niskofrekventni takt za Wi-Fi/BT modul
U15	80 MHz oscilator	–	Referentni takt radarskog senzora

Iako je ECO kristal prisutan, BSP podrazumevano pravi glavni takt iz internog IMO-a (FLL na 100 MHz). ECO i WCO se uključuju u Device Configurator-u kada je potrebna veća tačnost, na primer za USB, UART velikih brzina ili RTC.

7. Korisnički ulazi, izlazi i senzori

7.1 Tasteri i LED diode

Tabela 12. Korisnički tasteri i LED diode

Element	Pin	Ime u BSP-u	Logika
LED D2 (crvena)	P5[3]	CYBSP_USER_LED (LED1)	aktivna u visokom stanju: 1 = svetli
LED D3 (crvena)	P5[4]	CYBSP_USER_LED2	aktivna u visokom stanju: 1 = svetli
Taster SW2	P5[2]	CYBSP_USER_BTN	aktivan nizak: pritisnut = 0; potreban pull-up; može da probudi čip
Taster SW1	XRES	–	reset čipa
LED D1 (crvena)	–	–	indikator napajanja

ZAPAMTITE

Na ovoj ploči korisničke LED diode su **aktivne u visokom stanju** (upis 1 pali LED). Na mnogim drugim Infineon pločama važi obrnuto, pa primeri prepisani sa drugih ploča mogu raditi „naopako”. U kodu zato koristite imena iz BSP-a i konstante **CYBSP_LED_STATE_ON** i **CYBSP_LED_STATE_OFF**.

PROVERITI

Ime druge LED u BSP-u (**CYBSP_USER_LED2**) treba potvrditi u fajlu **cybsp_types.h** ili u Device Configurator-u za verziju BSP-a u laboratoriji.

7.2 Senzori

Tri senzora dele **I2C magistralu** na pinovima **P0[2] (SCL)** i **P0[3] (SDA)**. Na istu magistralu povezani su i USB-I2C most KitProg3 i konektor **J16** (Qwiic), pa svaki uređaj na magistrali mora imati jedinstvenu adresu.

Tabela 13. Senzori na ploči i njihova veza sa PSoC 6

Senzor	Merenje	Interfejs, adresa	Pinovi PSoC 6
BMI270 (U18)	ubrzanje i ugaona brzina, 6 osa	I2C, 0x68 (0x69 uz izmenu otpornika)	I2C P0[2]/P0[3], prekidi P0[4] i P1[5]
BMM350 (U19)	magnetno polje, 3 ose	I2C, 0x15	I2C P0[2]/P0[3], prekid P1[0]
DPS368 (U3)	vazdušni pritisak i temperatura	I2C, 0x77 (0x76 uz izmenu otpornika)	I2C P0[2]/P0[3], prekid P1[4]
BGT60TR13C (U6)	radar 60 GHz: prisustvo, pokreti, gestovi	SPI, domen 1,8 V	MOSI P12[0], MISO P12[1], CLK P12[2], CS P12[3], IRQ P11[0], RST P11[1]
IM72D128 (U4, U5)	zvuk, dva digitalna MEMS mikrofona	PDM	CLK P10[4], DATA P10[5]

Dva mikrofona dele iste dve linije: mikrofona U4 šalje odbirak na **opadajuću**, a U5 na **rastuću** ivicu PDM takta. Blok PDM-PCM u PSoC 6 tako iz jedne linije podataka izdvaja levi i desni kanal (stereo).

NAPOMENA

Zephyr dokumentacija za ovu ploču na jednom mestu navodi senzor pritiska DPS310 umesto DPS368. Kit Guide 002-39425 Rev *B i BSP navode **DPS368**; to je podatak koji koristimo.

7.3 Spoljna memorija i bežična veza

QSPI NOR Flash S25HS512T (U7) kapaciteta 512 Mb povezan je na SMIF blok: takt P11[7], izbor čipa P11[2], podaci P11[3]–P11[6]. Radi na 1,8 V. Pošto SMIF podržava XIP, deo programa ili velike tabele (na primer težine neuronske mreže) mogu se čuvati u ovoj memoriji i čitati kao da su u internoj memoriji.

Wi-Fi/Bluetooth modul Murata LBEE5KL1YN zasnovan je na čipu **AIROC CYW43439** (Wi-Fi 4, 802.11n, 2,4 GHz i Bluetooth 5.2). Wi-Fi deo komunicira sa PSoC 6 preko **SDIO** interfejsa na portu P2[0:5], a Bluetooth preko **UART-a** na portu P3[0:3]. Upravljački signali su na P2[6], P3[4], P3[5], P4[0] i P4[1].

PROVERITI

Opis kita u BSP-u pominje **microSD** interfejs, ali Kit Guide 002-39425 Rev *B ne opisuje microSD slot. Pre nego što se microSD pomene studentima, proveriti da li slot postoji na pločama u laboratoriji.

8. Konektori i proširenja

Tabela 14. Konektori na ploči (Kit Guide 002-39425)

Konektor	Opis	Signali
J1	USB-C, KitProg3	programiranje, debugovanje, USB-UART, USB-I2C, napajanje
J2	USB-C, PSoC 6 USB	USB uređaj (USBDP/USBDM) i ulaz napajanja
J3	Li-ion baterija	3,6–4,2 V
J4	SWD/JTAG, 10 pinova	spoljni programator; ne napajati ploču preko J4

Konektor	Opis	Signali
J15	konektor niskog profila, 18 pinova	P8[0]–P8[5] (3,3 V); P12[4], P12[5], P13[0]–P13[7] (1,8 V, SDHC)
J16	Qwiic I2C, 4 pina	SCL P0[2], SDA P0[3]
J17	100-mil, 4 pina (nije zalemljen)	P10[0], P10[1], P0[3], P0[2]
J18	100-mil, 8 pinova (nije zalemljen)	P9[0]–P9[7]

Za analogne vežbe važni su pinovi **P10[0]** i **P10[1]** na konektoru J17, jer su to ulazi SAR ADC-a. Pošto J17 i J18 fabrički nisu zalemljeni, u laboratoriji je potrebno zalemiti letvice ili koristiti već pripremljene ploče.

PROVERITI

- Kit Guide ne opisuje pinove **J15.1** i **J15.2**; tabela počinje od J15.3. Pre upotrebe J15 proveriti šemu.
- Kit Guide ne navodi izvode za 3,3 V i GND na J17 i J18; napajanje spoljnog kola (na primer potencijometra) treba uzeti sa mesta koje je potvrđeno na šemi.

8.1 Fabrički program

Ploča dolazi isprogramirana primerom za **DEEPCRAFT Studio** koji preko USB-a šalje podatke sa senzora na računar radi snimanja skupova podataka za mašinsko učenje: zvuk (8 ili 16 kHz), IMU i magnetometar (50–400 Hz), pritisak (8–128 Hz) i radar. Prvim programiranjem na vežbama ovaj program se briše; može se vratiti ponovnim programiranjem odgovarajućeg primera iz ModusToolbox-a.

9. Veza sa laboratorijskim vežbama

Tabela 15. Gde se sadržaj predavanja koristi na vežbama

Vežba	Hardver koji se koristi	Poglavlje
Vežba 1: razvojno okruženje	KitProg3 (SWD, USB-UART), LED D2	6.1, 7.1
Vežba 2: GPIO, tasteri i prekidi	LED D2 i D3, taster SW2 (P5[2]), NVIC, prekidi porta	3.7, 7.1
Vežba 3: ADC i PWM	SAR ADC (P10[0] na J17), TCPWM u PWM režimu, LED	3.4, 3.5, 8

10. Šta treba proveriti

Sledeće stavke potiču iz neslaganja između izvora ili iz podataka koji nisu potvrđeni na pločama u laboratoriji. Ništa od ovoga ne menja opis arhitekture, ali utiče na tačnost detalja koje studenti koriste u kodu.

Tabela 16. Spisak za proveru

#	Stavka	Kako proveriti
1	Smer UART linija P5[0]/P5[1] (Kit Guide tabele se razlikuju)	Šema ploče; u kodu koristiti CYBSP_DEBUG_UART_TX/RX
2	Oznaka statusne LED KitProg3 (D12 ili D2)	Natpis na ploči

#	Stavka	Kako proveriti
3	Postojanje microSD slot-a (pominje ga BSP, ne Kit Guide)	Pregled ploče
4	Napajanje U11 i mesto za merenje struje MCU-a	Šema ploče
5	Pinovi J15.1 i J15.2; izvodi 3,3 V i GND na J17/J18	Šema ploče
6	Ime druge LED u BSP-u (CYBSP_USER_LED2)	cybsp_types.h ili Device Configurator
7	Podrazumevana CM0+ slika (CM0P_SLEEP) i promenljiva CORE	Makefile projekta, README BSP-a
8	Struktura CLK_FAST / CLK_PERI / CLK_SLOW	Device Configurator, kartica Clocks; PSoC 6 TRM
9	Fizička provera pinova LED, tastera i J17 na pločama u laboratoriji	Program za treptanje i test tastera

11. Pitanja za ponavljanje

1. Nabrojte osnovne blokove mikrokontrolera i za svaki navedite jedan primer iz PSoC 6.
2. Koja su dva jezgra u PSoC 6, koje su im maksimalne frekvencije i koja je tipična uloga svakog od njih?
3. Na kojim adresama počinju Flash i SRAM kod PSoC 6? Po čemu se ovo razlikuje od tipičnog Cortex-M mikrokontrolera?
4. Čemu služe IPC kanali? Navedite dve upotrebe.
5. Zašto DMA smanjuje opterećenje procesora? Navedite primer sa ADC-om.
6. Objasnite razliku između IMO i ECO, i između ILO i WCO. Koji izvor biste izabrali za RTC i zašto?
7. Kako se izvori prekida povezuju na CM4, a kako na CM0+? Šta je WIC?
8. Koja je razlika između režima System Deep Sleep i System Hibernate?
9. Šta je KitProg3, na kom čipu je realizovan i koje tri funkcije obezbeđuje?
10. Na koje pinove su povezane korisničke LED diode i taster? Šta znači da je taster aktivan nizak?
11. Koji senzori dele I2C magistralu i kako se razlikuju na njoj?
12. Zašto pre povezivanja spoljnog kola na konektor J15 treba proveriti broj porta?

12. Literatura

- Infineon Technologies, *CY8CKIT-062S2-AI PSoC 6 AI Evaluation Kit guide*, dokument 002-39425 Rev *B, 2025. [infineon.com](https://www.infineon.com)
- Infineon Technologies, *PSoC 6 MCU: CY8C62x8, CY8C62xA datasheet*, dokument 002-23185 Rev *T, 2026. [infineon.com](https://www.infineon.com)
- Infineon Technologies, *TARGET_CY8CKIT-062S2-AI BSP*, dokumentacija: infineon.github.io/TARGET_CY8CKIT-062S2-AI
- Infineon Technologies, *PSoC 6 MCU: CY8C62x8, CY8C62xA Architecture Technical Reference Manual (TRM)*, za detalje registara, takta i prekida.
- Zephyr Project, *PSoC 6 AI Evaluation Kit*, docs.zephyrproject.org (pomoćni izvor; za pin raspored važi Kit Guide).