Simulacija rada logickog kola

Otvorimo novi projekata, izaberemo Schematik

🚽 ISE Project Navigator (P.20131013) - C	C:\Projekt	i\2016\xilinx\Diode	\Simulacija_IO\Sir	mulacija_IO.xise - [Lo	gicko_kolo.sch]			
<u>File</u> Edit <u>View</u> Project Source	e <u>P</u> roce	ess <u>A</u> dd <u>T</u> ools	<u>W</u> indow La <u>v</u> o	ut <u>H</u> elp				- 8 ×
D > F @ L X D D >	XID	(a) » 3 3 3 3	BBF		B & K? >	2 🗶 😒		
Options	++□₽>							
Select Options								
When you dick on a branch: Select the entire branch Select the line segment	*			-				
 When you move an object: Keep the connections to other objects Break the connections to other objects 	Е	에 () - () - () - () - () - () - () - ()		r,				
When you use the area select tool, select the objects that: Are enclosed by the area Intersect the area								
When you use the area select tool, select: Objects including attribute windows Objects excluding attribute windows	Ŧ							
s 🚺 Libraries 🎛 Symbols 🔛 Ontic	ons	l D		Lonicko kolo.sch	8			
	(<u></u>)()(000000	
Process "Creating Schemat	ic" co	mpleted succ	essfully					× 1 L
Started : "Launching Sche	ematic	Editor to ed	it Logicko_k	olo.sch".				
Console C Errors Musching		Find in Files Desults						,
	ao 1100	r ind in thes results						[1564,1512]

Izaberemo simulaciju jednostavnog AND kola

ISE Project Navigator (P.20131013) - C:\Projekti\2016\	(ilinx\Diode\Simulacija_IO\Simulacija_IO.xise - [Logicko_kolo.sch*]	
Eile Edit View Project Source Process Ac	d <u>T</u> ools <u>W</u> indow La <u>v</u> out <u>H</u> elp	- B ×
· · · · · · · · · · · · · · · · · · ·	» 🎤 🖉 👰 🎮 🔄 🥅 🖳 🗖 🗖 🥬 🧨 😢 🛠 💡	
Dptions ↔ □ 문 × 🕠		
Select Options		
When you dick on a branch: Select the entire branch Select the line segment ^{abc} Select the line segment Select the line segment 		
When you move an object: Keep the connections to other objects Break the connections to other objects		
When you use the area select tool, select the objects that:		~
When you use the area select tool, select: Objects including attribute windows Objects excluding attribute windows		
*		
Ubraries 💥 Symbols 🌮 Options 🚺 🕨 🗗	Logicko_kolo.sch*	
Console		↔□♂×
Process "Creating Schematic" complet	ed successfully	*
Started : "Launching Schematic Edito	r to edit Logicko_kolo.sch".	
e III.		۴.
Console 😣 Errors 🔬 Warnings 🕅 Find in F	iles Results	[1060.1420]



Dodamo ulaze I izlaz

Bit Edd Yew Pojekt Source Process Add Joels Window Layout Hejp Image: Select Delows Image: Select Del	JSE Project Navigator (P.20131013) - C:	:\Projekti\201	16\xilinx\Dio	de\Simulacija	a_IO\Simulaci	ija_IO.xise - [[Logicko_k	olo.sch*]				
Constructions Select Options Select options When you cake as band: Select be connections to other Select be connections to other <th><u> F</u>ile <u>E</u>dit <u>V</u>iew P<u>r</u>oject <u>S</u>ource</th> <th><u>P</u>rocess</th> <th><u>A</u>dd <u>T</u>ools</th> <th><u>W</u>indow</th> <th>La<u>y</u>out <u>I</u></th> <th><u>H</u>elp</th> <th></th> <th></th> <th></th> <th></th> <th>_ 8 ></th> <th>ĸ</th>	<u> F</u> ile <u>E</u> dit <u>V</u> iew P <u>r</u> oject <u>S</u> ource	<u>P</u> rocess	<u>A</u> dd <u>T</u> ools	<u>W</u> indow	La <u>y</u> out <u>I</u>	<u>H</u> elp					_ 8 >	ĸ
Options ***	🗋 🆻 🖥 🕼 😓 🛛 🖓 🗅 🖨 🗙	(1 2 (2)	» 🏓	e 🙉 🛱 .	P 🗟 🔼		🗖 🖻 🗄	<i>▶</i> №?	🕨 🗵 🤊	6		
Select Optors Wen you dk on a brant: If we provide an object: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: Men you dk on a brant: If we provide an object: <t< th=""><th>Options ++</th><th>• 🗆 🗗 🗙 🗍</th><th></th><th></th><th></th><th></th><th></th><th></th><th></th><th></th><th>· · · · · · · · · · · · · · · · · · ·</th><th></th></t<>	Options ++	• 🗆 🗗 🗙 🗍									· · · · · · · · · · · · · · · · · · ·	
When you dok on a branch: Select the inter branch Select the inter branch Select the inter segment When you move an object: Break the connections to other objects Break the connections to other objects Break the connections to other objects that A re endosed by the area Intersect the area Difference the area select tool, Select the difference of the area Difference the area select tool, Select the difference of the area Difference the area select tool, Select the difference of the area Difference the area select tool, Select the difference of the area Difference the area select tool, Select the difference of the area Difference the area select tool, Select the difference of the area select tool, Select the differenc	Select Options		×	· · · · · · · · · · ·	• • • • • • • • •	• • • • • • • • •	• • • • • • • •	· · · · · · · ·	· · · · · · · · · ·	· · · · · · · ·		
When you dok on a kandh: Image: Sect the line segment Image: Sect the connections to other			U [::::::									
Select the entre banch Select the entre banch Men you move an object: Men you move an object: Men you use the area select tool, select the doublect that: A re enclosed by the area Intersect the area Men you use the area select tool, select the doublect that: A re enclosed by the area Intersect the area Men you use the area select tool, select the doublect that: A re enclosed by the area Intersect the area Men you use the area select tool, select the doublect that: A re enclosed by the area Intersect the area Men you use the area select tool, select: Objects including attribute Wen you use the area select tool, select: Objects excluding attribute Wen you use the area select tool, Select the double that: Console Frocess "Creating Schematic" completed successfully Started : "Launching Schematic Editor to edit Logicko_kolo.sch". Console Console Menny Menny	When you click on a branch:		~									ī
Select the line segment When you move an object: Kep the connections to other Break the connections to other the connections to other Break the connections the connections the connection to edit Logicko_kolo.sch". Break the connection to edit Logicko_kolo.sch". Break	Select the entire branch	<u>a</u>										
When you move an object: Meen the connections to other objects When you use the area select tool, select the objects that: A re enclosed by the area Intersect the area Objects including attribute windows Objects encluding attribute windows Objects encluding attribute windows Objects encluding attribute windows Dipeter encluding attribute When you use the area select tool, select: Objects including attribute windows Objects encluding attribute When you use the area select tool, select: Objects including attribute windows Objects encluding attribute When you use the area select tool, select: Objects encluding attribute When you use the area select tool, Select: Console Consol	Select the line segment			· · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·		· · · · · · · ·	· · · · · · · · · · · · · · · · · · ·			-
ýčeta Be de connections to other öjecta Be de the connections to other öjecta ørek the connections to other öjecta Be de the connections to other öjecta Be de the connections to other öjecta ørek the connections to other öjecta ørek ørek ørek the connections to other ørek ørek ørek the connections to other ørek ørek ørek the connections ørek ørek ørek the connections ørek ørek ørek ørek ørek ørek ørek ørek ørek ørek	When you move an object:		····	· · · · · · · · · ·	•••••	•••••	••••••	••••				Ĩ
Brak the connections to other objects When you use the area select tool, select the area Intersect the area Objects induding attribute windows Objects induding attribute windows Objects excluding attribute When you use the area select tool, objects excluding attribute When you use the area select tool, windows When you use the area select tool, windows When you use the area select tool, windows When you use the area select tool, When you use the area select tool, windows When you use	 Keep the connections to other objects 			· · · · · · · · · · ·			· · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · ·			
When you use the area select tool, select the objects that: Are enclosed by the area Intersect the area Intersect the area Objects including attribute Objects including attribute Objects excluding attribute Objects excluding attribute Objects excluding attribute Objects excluding attribute Objects including attribute Objects readed attribute Objects attribute Objects including attribute Objects attri	 Break the connections to other objects 				· · · · · · · · · · · · · · · · · · ·				· · · · · · · · · · · · · · · · · · ·			Î
When you use the area select tool, Select the objects that: Intersect the area When you use the area select tool, Select: Objects incluing attribute Whon you use the area select tool, Select: Objects incluing attribute Whon you use the area select tool, Select: Objects incluing attribute Whon you use the area select tool, Select: Objects incluing attribute Whon you use the area select tool, Select: Objects incluing attribute Whon you use the area select tool, Select: Objects incluing attribute Whon you use the area select tool, Select: Objects incluing attribute Whon you use the area select tool, Select: Objects incluing attribute Windows Select: Console Console Windows Console Console Console Console Console Console Console			0		XL	XN_1>						
Are endosed by the area Intersect the area Men you use the area select tool, select: Objects including attribute windows Objects including attribute windows Objects excluding attribute objects Console Options	When you use the area select tool, select the objects that:			· · · · · · · · · · ·	• • • • • • • • • •		•••••	•				
Intersect the area When you use the area select tool, select: Objects including attribute Windows Objects including attribute windows Objects excluding attribute windows Objects sculding attribute Windows Objects excluding attribute Windows Objects sculding attribute Windows Objects excluding attribute Windows Started : "Launching Schematic Editor to edit Logicko_kolo.sch". Windows Console Objects Errors Warnings Marnings Marnings	 Are enclosed by the area 							AND2	2			
When you use the area select tool, select: Objects including attribute windows Objects excluding attribute windows Objects excluding attribute windows Console Console Process "Creating Schematic" completed successfully Started : "Launching Schematic Editor to edit Logicko_kolo.sch". Console Consol	Intersect the area			· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	•••••••	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · ·		· · · · · · · · · · · · · · · · · · ·	
Objects including attribute Windows Objects excluding attribute Objects excluding attribute Image: Symbols Options Image: Symbols Image: Symbols<	When you use the area select tool, select:	1	8	· · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	•••••	• • • • • • • •	•••••	· · · · · · · · · · ·	· · · · · · · ·		
Objects excluding attribute windows windows <t< th=""><th> Objects including attribute windows </th><th>4</th><th></th><th>· · · · · · · · · ·</th><th>· · · · · · · · · · · · · · · · · · ·</th><th>•••••</th><th>•••••</th><th>•••••</th><th>· · · · · · · · ·</th><th></th><th></th><th></th></t<>	 Objects including attribute windows 	4		· · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	•••••	•••••	•••••	· · · · · · · · ·			
s III s	 Objects excluding attribute windows 			· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · ·		· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·			
Symbols Symbols Console Process "Creating Schematic" completed successfully Started : "Launching Schematic Editor to edit Logicko_kolo.sch". Image: Started in the second	a		8 4								4	
Console ↔ □ ♂ × Process "Creating Schematic" completed successfully ▲ Started : "Launching Schematic Editor to edit Logicko_kolo.sch". ▲ ✓ III ▲ IIII ▲ IIII ▲ IIII ▲ IIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII	🛚 🚺 Libraries 🔛 Symbols 🜮 Option	ns 🕩 [ð		L	ogicko_kolo.s	ch*			×		
Process "Creating Schematic" completed successfully Started : "Launching Schematic Editor to edit Logicko_kolo.sch". < III III III III Console I Find in Files Results	Console										↔□ & >	×
Started : "Launching Schematic Editor to edit Logicko_kolo.sch".	Process "Creating Schemati	ic" compl	leted suc	cessfull	У							
< <tr> III</tr>	Started : "Launching Schem	natic Edi	itor to e	dit Logi	cko_kolo.	sch".						
Console Console Karnings Karnings Karnings Karnings	4											"
	Console Console Warnings	s 🕅 Find	in Files Result	s								_

FISE Project Navigator (P.20131013) - C:	\Projekti\2	2016\x	kilinx\Diode\S	imulacija_	IO\Simula	acija_IO.xise	e - [Logick	o_kolo.sch*]												
<u>File Edit View Project Source</u>	<u>P</u> rocess	5 <u>A</u> d	ld <u>T</u> ools <u>V</u>	<u>V</u> indow	Layout	<u>H</u> elp													- 8	×
🗋 ờ 🖥 🗊 😓 🕺 🖧 🖻 🏔 🗙	1	×	» 🏓 🏓 🖌	8 🕫 /	• 🗟 🛛	🔊 🔁 E		<i>₽</i> k?	🕨 🕨 🗵	*	7									
Dptions ↔				· · · · · · ·								· · · · · · ·						•••••••••••••••••••••••••••••••••••••••		*
Select Options		X	· · · · · · · · · · · ·					· · · · · · · · · ·					· · · · · · · · ·							,
		-1																		
When you did, on a branch,		abc	· · · · · · · · · · · · · · · · · · ·	· · · · · · ·								 	· · · · · · · · · ·				· · · · · · · · · · ·			:
Select the entire branch		a(0)	· · · · · · · · · · · · · ·	· · · · · · ·		 		· · · · · · · · · ·			· · · · · · · · · ·	· · · · · · · ·	· · · · · · · · ·	· · · · · · · · ·		· · · · · · · · ·	· · · · · · · · ·		· · · · · · · · ·	
 Select the line segment 									••••••			•••••								:
-		P																		
When you move an object:	:		•••••		••••	• • • • • • • •		· · · · · · · · · ·	• • • • • • •	· · · · · · ·	••••	· · · · · · · ·	•••••	••••		•••••			••••	
Keep the connections to other		\$																		·
 objects Break the connections to other 	E	₽				• • • • • • • •			••••••			•••••								:
objects		$\overline{}$	· · · · · · · · · · · · · · · · · · ·			 		 					· · · · · · · · ·	· · · · · · · · ·	· · · · · · · · ·	· · · · · · · · ·			· · · · · · · · ·	
		0				(LXN_1)			 s	<u>,</u>		•••••								
When you use the area select tool,		/					VIVI 0)	X:LXN_	3>: : :								
select the objects that:						::::L	XLXN_2)2			•••••	•••••	· · • · · · · · ·	•••••	· · · • • · · · ·	•••••			
 Are enclosed by the area Intersect the area 		A																		
		1																		
When you use the area select tool,			· · · · · · · · · · · ·			· · · · · · · · · ·		 					· · · · · · · ·	· · · · · · · · ·		· · · · · · · · ·	 . .			
select:		E A																		
 Objects including attribute windows 									• • • • • • •			 			• • • • • • •		•••••		· · · • · · · · ·	
 Objects excluding attribute 		7	· · · · · · · · · · · · · · · · · · ·			 		 						· · · · · · · · ·	· · · · · · · · ·					
windows	-	黒							••••••			· · · · · · · · · · · · · · · · · · ·					• • • • • • • •			-
		×	•							III									Þ	
Libraries 🔛 Symbols 😤 Option	ns 🜗 🕨	Ð				Logicko_kol	o.sch*			(×									
Console																			++ □ ĉ	۶×
Process "Creating Schemati	.c" comj	plet	ed succes	sfully																*
Started : "Launching Schem	atic E	dito	r to edit	Logic	ko kolo	.sch".														
During Donem			2 00 0410	20910																+
< III																			Þ	
Console 🙆 Errors 🔬 Warnings	🕅 🕅 Fi	ind in Fi	iles Results																	
																			[1556,10	48]

JSE Project Navigator (P.20131013) - C:\Projekti\2016	\xilinx\Diode\Simulacija_IO\Simulacija_IO.xise - [Logicko_kolo.sch*]	
<u>File E</u> dit <u>V</u> iew P <u>r</u> oject <u>S</u> ource <u>P</u> rocess <u>A</u>	dd <u>T</u> ools <u>W</u> indow La <u>v</u> out <u>H</u> elp	_ 8 ×
🗠 🍋 🗶 🗿 🖓 😓 🔚 😭 🗋	» 🎤 🔎 🙊 🥬 🥒 🗟 🗾 🖻 🗖 🖻 🗖 🗣 🥓 🕨 🛛 🛠	
Deptions ↔ □ 문 ×		*
Select Options		· · · · · · · · · · · · · · · · · · ·
When you dick on a branch:		
Select the entire branch		
Select the line segment		· · · · · · · · · · · · · · · · · · ·
		· · · · · · · · · · · · · · · · · · ·
When you move an object:	-	• • • • • • • • • • • • • • • • • • • •
Keep the connections to other		
Break the connections to other		· · · · · · · · · · · · · · · · · · ·
objects		
0	XLXN_1	
When you use the area select tool, select the objects that:		· · · · · · · · · · · · · · · · · · ·
Are enclosed by the area	AND2	
Intersect the area		
2		
When you use the area select tool,		· · · · · · · · · · · · · · · · · · ·
Objects including attribute		
windows 7	· · · · · · · · · · · · · · · · · · ·	
Objects excluding attribute	-	
· · · · · · · · · · · · · · · · · · ·		· · · · · · · · · · · · · · · · · · ·
Libraries 🔛 Symbols 🤔 Options 🔳 🖡	Logicko kolo.sch*	
ionsole		+
Process "Creating Schematic" comple	ted successfully	
	-	
Started : "Launching Schematic Edit	or to edit Logicko_kolo.sch".	
< III		
🗐 Console 🔞 Errors 🛝 Warnings 🕅 Find in	Files Results	
		[1264,1060]

Desni klik na IO, izaberemo Rename I ulazima dodelimo ime A I B, a izlazu Y

FISE Project Navigator (P.20131013) - C:\Projekti\	2016\xilinx\D	Diode\Simulacija_IC)\Simulacija_	IO.xise - [Logicko_kolo.sc	:h*]							×
D File Edit View Project Source Proces	is Add To	ols Window L	ayout Hel	p								- 8 ×
🗋 🤌 🗐 🕼 😓 🖌 🛍 🛅 🗙 🛏 o	a 🛛 » 🏓	P 8 8 P		BHEB P	2 🖌 🔊	1						
Options ↔ □ 륨 ×				The constraints of the second							••••••	
Select Options												
Select options	<u></u>	• • • • • • • • • • • • • • • • • • • •		•••••••••••••••••••••••••••••••••••••••			• • • • • • • • • • • • •				••••••	•••••
*												
When you dick on a branch:	ally						•					
Select the entire branch Select the line segment	型										· · · · · · · · · · · · · · · · · · ·	
O select the line segment	P											
When you move an object:				· · · · · · · · · · · · · · · · · · ·								••••
Keep the connections to other	₩											
objects											•••••	· · · · · ·
objects	S	::::::::::::::		:::::::::::::::::::::::::::::::::::::::				::::::::::	::::::::::::::			
	0		XLXI		·						•••••••••••	•••••
When you use the area select tool,	1			🔏 Cut	Ctrl+X	X	LXN_3>					
select the objects that:		· · · · • • · · · · • • · · ·	XLXI	📫 Сору	Ctrl+C		••••••	•••••	· · · · · · · · · · · · · · · · · · ·	· · · · • · · · · · · · · · · · · · · ·	•••••••••••••••••••••••••••••••••••••••	• • • • • •
Are enclosed by the area	A			Paste	Ctrl+V							
Intersect the area				Paste Special			·····	•••••			•••••	• • • • • •
When you use the area select tool	1			X Delete	Del							
select:	V		• • • • • • • • • •	Zoom	×						•••••••	
Objects including attribute	4			Select and Clear	•				· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·		
 Objects excluding attribute 	7			A Mirror								
windows	*			₽ Rotate								
	* *			Rename Port		111						•
: 🚺 Libraries 🎛 Symbols 🜮 Options 🚺	Ð		Logi			×						
Console				Object Properties	Alt+Enter							⇔⊡ā×
Process "Creating Schematic" com	mpleted su	uccessfully		Preferences								*
		199	34			-						
Started : "Launching Schematic E	ditor to	edit Logick	_kolo.sc	:h".								
• m												
Console 🙆 Errors 🔥 Warnings 🕅 F	Find in Files Res	sults										
												[1056 888]
						-		-		145 C 40	7.0	50 PM
	9		9						EN 🖻 🍣 «	2 🧿 🔌 😼 🗎	() 3/1	1/2016

JSE Project Navigator (P.20131013) - C:	\Projekti\2	016\xilinx	\Diode\Simulacija_IC	D\Simulacija_IO.xise	- [Logicko_kolo.sch*]					x
<u>File Edit V</u> iew P <u>r</u> oject <u>S</u> ource	<u>P</u> rocess	<u>A</u> dd	<u>T</u> ools <u>W</u> indow L	La <u>y</u> out <u>H</u> elp							8 ×
🗋 ờ 🗟 🗿 😓 🗄 🔏 🗈 🗙	1	»	/P /P 👰 😥 🏓	2 🔊 🖻	🗖 🖻 🏓 🌾	🕨 🔊 🗶	?				
Dptions ++			· · · · · · · · · · · · · · · · · · ·			••••••			· · · · · · · · · · · · · · · · · · ·		11 *
Select Options		X	• • • • • • • • • • • • • • • • •	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	• • • • • • • • • • • • • • • • • • • •	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	:: ::
When you dick on a branch:		abc									
 Select the entire branch 		<u>a(0)</u>									::
Select the line segment			· · · · · · · · · · · · · · · · · · ·			••••••					::
			· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·		· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	:: E
When you move an object:		→	•••••••••••••••••••••••••••••••••••••••		• • • • • • • • • • • • • • • • • • • •	••••••	•••••••••••••••••••••••••••••••••••••••	•••••••••••••••••••••••••••••••••••••••	•••••••••••••••••••••••••••••••••••••••	•••••••••••••••••••••••••••••••••••••••	
 Keep the connections to other objects 		A1					: : : : : : : : : : :				::
Break the connections to other	E	-	· · · · · · · · · · · · · · · · · · ·			• • • • • • • • • • • • • • • • •					:: _
objects			· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·							::
When you use the area select tool	n 🛛		· · · · · · · · · · · · · · · · · · ·	LA >		·····	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·	::
select the objects that:			• • • • • • • • • • • • • • • •	• • • • • • • • • • • • • • • • • • •	· · · · · · · · · · · · · · · · · · ·			••••••••••••••••	••••••••••••••••	•••••••••••••••••••••••••••••••••••••••	::
Are enclosed by the area					AN	D2					
Intersect the area		<u>A</u>	· · · · · · · · · · · · · · · · · · ·			••••••					::
Late and the second set to a	n El III				· · · · · · · · · · · · · · · · · · ·			· · · · · · · · · · · · · · · · · · ·	· · · · · · · · · · · · · · · · · · ·		::
select:		₽ :::	••••••	•••••••••••••••••	•••••	••••••	•••••••••••••••••••••••••••••••••••••••	•••••••••••••••••••••••••••••••••••••••	•••••••••••••••••••••••••••••••••••••••	•••••••••••••••••••••••••••••••••••••••	::
 Objects including attribute 		▲ :::									::
 Windows Objects excluding attribute 		🎔 🔛			• • • • • • • • • • • • • • • • • • • •						::
windows	-	*	· · · · · · · · · · · · · · · · · · ·			· · · · · · · · · · · · · · · · · · ·					
		* ₹									•
Libraries 🔛 Symbols 💬 Option	ns 🜗	ð		Logicko_kolo	.sch*						
Console										++ [l & ×
Process "Creating Schemati	.c" comp	leted	successfully								*
Started : "Launching Schem	atic Ed	litor t	o edit Logicko	o kolo.sch".							_
											+
< III											•
📃 Console 🙆 Errors 🚹 Warnings	🕅 Fir	id in Files R	Results								
										[163	6,912]

Klik na logicko kolo, pa New Source...

🍃 ISE Project Navigator (P.20	131013) - C:\Projekti\2016\xilinx\Diode\Simula	acija_IO\Simulacija_IO.xise	_ 0 <u>_ ×</u>
File Edit View Project	Source Process Tools Window Layo	out Help	
D 🔊 🗐 🕼 🐰	BBX BO × PPBE	8 / 3 7 3 5 5 5 7 1 2 2 2 2 9	
Design	+ D & X		
View: View: Kimplementat Behavioral Hierarchy Simulacija_IO Kasal	ion		
<u>.</u>	Mew Source		
	Add Source		
	Open		
	🚑 Remove		
 No Processes Running Processes: Logicko_kolo Sim Simulato Start Design 	Manual Compile Order Set as Top Module SmartGuide File/Path Display Expand All Collapse All M Find Ctrl+F Design Properties Source Properties Files		
Console			
	Warninns 🥻 Find in Files Desults		
Add a new source to the proje			
		EN 🚽 🥃 🥹 🔕 🖇 🐚 🗎	II 🔹 7:52 PM

Selektujemo Verilog Test Fixture, dodlimo ime na primer test_simulacija

Select Source Type	
Select source type, file name and its location. BMM File ChipScope Definition and Connection File Implementation Constraints File IP (CORE Generator & Architecture Wizard) MEM File Schematic System Generator Project User Document Verilog Module Verilog Test Fixture	File name: test_simulacija Loçation:
VHDL Module VHDL Library VHDL Package VHDL Test Bench Embedded Processor	C:\Projekti\2016\xilinx\Diode\Simulacija_IO

Klik na Finish

New Source Wizard		x
Summary Project Navigator will create a new skeleton source with the following specifications.	1	
Add to Project: Yes Source Directory: C: \Projekti\2016\xilinx\Diode\Simulacija_IO Source Type: Verilog Test Fixture Source Name: test_simulacija.v Association: Logicko_kolo		
More Info	Einish Can	cel

Otvara se fajl u kome definisemo ulaze

>	ISE Project Navigator (P.20131013) - C:\Projekti\2016	xilinx\Dio	le\Simulacija_IO\Simulacija_IO.xise - [test_simulacija.v]	
B	<u>File Edit View Project Source Process T</u>	ools <u>W</u> ii	dow Layout <u>H</u> elp	- B X
T	♥ @ X @ @ X @ ♥ [» 🏓	* 8 8 7 9 🔽 🐂 🗆 🗖 💆 🗡 😵 🕈 🖇	
Des	sian ↔ □ 큔 X →		// Veriles test finture evented from aphematic (1) Drain	hti/2016/wilipy/Diodo/Cimulacija TO/Lagiaka kala seb . Ra
	View: 🔿 🛱 Implementation @ 🐼 Simulation	2	// verilog test lixture created from schematic C: (Frojes	<pre>kci/2016/xiiinx/biode/simulacija_10/bogicko_koi0.scn = fix</pre>
	Behavioral	3	'timescale 1ns / 1ps	
네		4		
	Hierarchy	5	<pre>module Logicko_kolo_Logicko_kolo_sch_tb();</pre>	
	Simulacija_IO	5	// Inputs	
1.1 2.4	+ V Logicko kolo Logicko kolo sch th	8	reg A;	
네		- 9	reg B;	
12	1	10		
121	3	11	// Output	
1921	-	12	wire Y;	
	Xe	13	// Bidima	
	<	- 15	// bidits	
	G	16	// Instantiate the UUT	
	No Processes Running	17	Logicko kolo UUT (
剛	No single design module is selected.	- 18	.A(A),	
***	Design Utilities	19	.B(B),	
×	- Design ounces	20	.Y(Y)	
乳		21); // Telefolies Tente	
-		22	// Initialize inputs	
		23	initial begin	
		25	A = 0;	
		26	B = 0;	
		27	'endif	
		28	endmodule	-
			<u>m</u>	
2	Start 🔍 Design 🖺 Files 🚺 Libraries		test_simulacija.v	
Con	nsole			+□ ₽ ×
Þ	INFO:ProjectMgmt - Parsing design h	ierarch	y completed successfully.	*
	Started : "Launching ISE Text Edito	r to ed	it test_simulacija.v".	
1				*
	Console 🥴 Errors 🔬 Warnings 🕅 Find in	Files Resul		
-				Ln 1 Col 1 Verilog

Selektujemo I obrisemo definisano stanje

, 1	ISE Project Navigator (P.20131013) - C:\Projekti\2	016\xilin	Diode\Simulacija_IO\Simulacija_IO.xise - [test_simulacija.v]	
	<u>File Edit View Project Source Process</u>	Tools	<u>W</u> indow Layout <u>H</u> elp	_ B ×
	요 🗶 🖞 🖉 🐰 😓 🕼 🕞 🍯	»	≠ ≠ ⊗ ⊗ ≠ ≥ 🔽 🕞 ⊟ 🗆 🖻 🗡 😢 🖌 👂	
Desi	ign ↔□♂×	-	3	
-	View: 🔿 🔯 Implementation 🧿 😹 Simulation		3 `timescale 1ns / 1ps	
6	Behavioral		4	
	Hierarchy		<pre>5 module Logicko_kolo_Logicko_kolo_sch_tb();</pre>	
	Simulacija IO	2	6 7 // Inputs	
	☐ xc3s1200e-5fg320	3	8 reg A;	
101		12	9 reg B;	
CE.			.0	
1		^	1 // Output	
		74	2 WITE 1,	
-		74	4 // Bidirs	
ш		74	.5	
	M M		.6 // Instantiate the UUT	E
	No Processes Running	G	.7 Logicko_kolo UUT (
-		0	.8 .A(A),	
E.	No single design module is selected.		.9 .D(D),	
誕	🗄 🎾 Design Utilities			
IED#4			// Initialize Inputs	
24			'ifdef auto_init	
			4 initial begin	
			A = 0;	
			B = 0;	
			7 endif	
			8 enamodule	
		1911		
-	Start In Design The Files The Libraries	E	tect cimulacija v 🕅	1.2
		Les		
Con	sole			↔□₽×
P	INFO:ProjectMgmt - Parsing design	hiera	rchy completed successfully.	*
	Started : "Launching ISE Text Edi	tor to	edit test simulacija v".	
	Sourcea . Businessing IDE TEXE Edit			
+	m			
		d in Files	on ite	
		d in files	230103	100 M 100
				Ln 23 Col 3 Verilog

Unutar initial begin I end definisemo ulaze

-	ISE Project Navigator (P.20131013) - C:\Projekti\2016	ilinx\Diode\Simulacija_IO\Simulacija_IO.xise - [test_simulacija.v*]	
B	<u>File Edit View Project Source Process To</u>	als <u>W</u> indow La <u>v</u> out <u>H</u> elp	- 8 ×
1) 🔊 🖬 🕼 😓 🐇 🗈 🖻 🗙 📢		
De	sign ++ D & X 🚛	1 // Verilog test fixture created from schematic C:\Projekti\2016\xilinx\Diode\Simulacija IO\Logicko	kolo sch - Fr A
	View:	<pre>// Verify test fixture created from schematic C:(Fr0jekti(2016(Xf1111x)Dr0de(Simulacija_10(L0g10k))</pre>	E
		٠ m	•
	Start 🔍 Design 🖺 Files 🖺 Libraries	test_simulacija.v*	
Cor	nsole		↔□♂×
4	INFO:ProjectMgmt - Parsing design h: Started : "Launching ISE Text Edito:	erarchy completed successfully. to edit test_simulacija.v".	*
4			•
1	Console 🔇 Errors 🔔 Warnings 🕅 Find in	les Results	Ln 24 Col 3 Verilog

-	ISE Project Navigator (P.20131013) - C:\Projekti\20	2016\xilinx\Diode\Simulacija_IO\Simulacija_IO.xise - [test_simulacija.v*]	_ 0 <u>_ x</u>
	<u>File Edit View Project Source Process</u>	<u>T</u> ools <u>W</u> indow Layout <u>H</u> elp	- 8 ×
Î	i i i i i i i i i i i i i i i i i i i		
	ign ++ □ = × View: ○ ∰ Implementation ◎ Simulation Behavioral Hierarchy	<pre>1 // Verilog test fixture created from schematic C:\Projekti\2016\xilinx\Diode\Simulacija_I0\Logicko_ko 2 3 'timescale lns / lps 4 5 module Logicko_kolo_Logicko_kolo_sch_tb(); 6 7 // Inputs 9 s reg B; 9 reg B; 10 11 // Output 12 wire Y; 13 14 // Bidirs 15 15 16 // Instantiate the UUT 17 Logicko_kolo UUT (18 .A(A), 19 .B(B), 20 .Y(Y) 21 .); 22 // Initialize Inputs 23 initial begin 24 A=0; 25 B=0; 26</pre>	lo.sch - Fr A
		<	۰.
-	Start 🖳 Design 🖺 Files 🏠 Libraries	test_simulacija.v*	
Con	nsole		⇔□₽×
\$	INFO:ProjectMgmt - Parsing design Started : "Launching ISE Text Edit	n hierarchy completed successfully. itor to edit test_simulacija.v".	- -
	Console 🙆 Errors 🛝 Warnings 🕱 Find	nd in Files Results	•
			Ln 26 Col 3 Verilog

- 1	ISE Project N	lavigato	(P.2013	1013) - C	Projekti	2016	nx\Diode\Simulacija_IO\Simulacija_IO.xise - [test_simulacija.v*]	
1	<u>File Edit</u>	View	Project	Source	Proces	s <u>T</u> oo	; <u>W</u> indow La <u>v</u> out <u>H</u> elp	- 5 ×
Г	1 🖻 🖥 🕯		XI	s lā s	(10 0	# >		
	gn View: ○ 集 Behavioral Hierarchy □ ∰ Sin ⊕ ∰ V	Impler nulacija 3s1200e- Logicka	IO inentation IO ofg320 o_kolo_Lo		C I I I X Simulation ▼ ■ <th>0 * * * * 10° 101 10⁵ 101 111 fill</th> <th><pre>5 module Logicko_kolo_Logicko_kolo_sch_tb(); 6 7 // Inputs 8 reg A; 9 reg B; 10 11 // Output 12 wire Y; 13 14 // Bidirs 15 16 // Instantiate the UUT 17 Logicko_kolo UUT (18 .A(A), 19 .B(B), 10</pre></th> <th></th>	0 * * * * 10° 101 10 ⁵ 101 111 fill	<pre>5 module Logicko_kolo_Logicko_kolo_sch_tb(); 6 7 // Inputs 8 reg A; 9 reg B; 10 11 // Output 12 wire Y; 13 14 // Bidirs 15 16 // Instantiate the UUT 17 Logicko_kolo UUT (18 .A(A), 19 .B(B), 10</pre>	
	 No Pro No single ⊕ 🏂 	ocesses R design r Design I	unning nodule is Jtilities	selected		0	<pre>20 .Y(Y) 21); 22 // Initialize Inputs 23 initial begin 24 A=0; 25 B=0; 26 #5; 27 28 A=0; 29 B=1; 30 #5; 31 32</pre>	
			(四) -		<u>.</u>			
-	Start Et	Design	F	iles 4	Libraries		test_simulacija.v*	97
Con	sole		-	Den eren dire				↔□₿×
₩. .: .:	Started	jectMç : "Lau	nching	g ISE :	g aesig Text Ed	n ni litor	to edit test_simulacija.v".	
	Console	🔇 Erro	rs 🔔	Warning	s 🗖 F	ind in F	s Results	Ln 32 Col 3 Verilog

- 1	ISE Project Navigator (P.20131013) - C:\Projekti	2016\xil	nx\Diode\Simulacija_IO\Simulacija_IO.xise - [test_simulacija.v*]	
2	<u>File Edit View Project Source Proces</u>	is <u>T</u> ool	<u>W</u> indow La <u>v</u> out <u>H</u> elp	- E ×
Γ) 🖻 🖬 🕼 😓 🕷 🖬 🐔 🗙 🗠	⊯ »	P P B B F B 🕅 🗟 🗖 🖻 🖉 P K? 🕨 🛛 🛠	
	ign ↔ □ ₽ × View: ② 独 Implementation ③ Simulation Behavioral Hierarchy 	○ ○ ★ ★ ★ ★ n ₂ m n ₃ m	<pre>13 14 // Bidirs 15 16 // Instantiate the UUT 17 Logicko_kolo UUT (18 .A(A), 19 .B(B), 20 .Y(Y) 21); 22 // Initialize Inputs 23 initial begin 24 A=0; 25 B=0; 26 #5; 27 28 A=0; 29 B=1; 30 #5; 31 32 A=1; 33 B=0; 34 #5; 35 36 A=1; 37 B=1; 37 B=1; 38 A=0; 39 A=1; 31 B=0; 30 A=1; 31 B=0; 34 #5; 35 36 A=1; 37 B=1; 38 A=1; 39 B=1; 30 A=1; 31 B=0; 34 #5; 35 35 36 A=1; 37 B=1; 38 A=0; 39 A=1; 31 A=1; 31 B=0; 34 #5; 35 35 A=1; 37 B=1; 38 A=1; 39 B=1; 30 A=1; 31 A=1; 31 A=1; 32 A=1; 33 B=0; 34 #5; 35 35 A=1; 36 A=1; 37 B=1; 38 A=1; 39 B=1; 39 A=1; 39 A=1; 30 A=1; 31 A=1; 31 A=1; 32 A=1; 33 B=0; 34 #5; 35 36 A=1; 37 B=1; 38 A=1; 39 B=1; 39 B=1; 30 A=1; 31 A=1;</pre>	
-	Start 📴 Design 👘 Files 📭 Libraries		39 40 	*
Con	nsole	-		+□₽×
Þ	INFO: ProjectMgmt - Parsing desig	yn hie	archy completed successfully.	
	Started : "Launching ISE Text Fo	litor	o edit test simulacija.v".	
	Fourier - Functing The Text Et	1001		*
1	III			
	Console 🔇 Errors 🔔 Warnings 🕅 F	Find in File	Results	Ln 40 Col 3 Verilog

Dupli Klik na Behavioral Check Syntax

>	ISE Project Navigator (P.20131013) - C:\Projekti\2016\	xilinx\Diod	\Simulacija_IO\Simulacija_IO.xise - [test_simulacija.v]	
	<u>File Edit View Project Source Process To</u>	ols <u>W</u> ine	w Layout <u>H</u> elp	_ <i>B</i> ×
E	< ∽∞ ×ãã% ∥∥¶6€	» /#)	፼፼↗≧ 💹 ☜ ⊟ ⊡ ☜ ≯₭? ▶ Σ 📌 💡	
Des	ign ↔ □ & ×] 🚛	17	Logicko kolo UUT (
	View: 🔘 🔯 Implementation 🧕 🧱 Simulation 💦	18	.A(A),	
1	Behavioral	19	.B(B),	
del	Ulimote.	20	.Y(Y)	
đ=		21		
п.	Simulacija_10	22	/ Initialize Inputs	
1.1 1.1	KOSIZOUE-SIGSZO	23	initial begin	
-	D UUT - Logicko kolo (Logicko k	25	A=0;	
173	A	26	B=0;	
hid	34	27	#5;	
	-	28		
		29	A=0;	
	24	30	B=1;	
-		31	÷5;	
	No Processes Running	32	a=1 ·	
ish#4		34	B=0:	
14	Processes: Logicko_kolo_Logicko_kolo_sch_tb	35	#5;	E. C.
11×	🖻 🍟 ISim Simulator	36		
	Behavioral Check Syntax	37	A=1;	
~4		38	B=1;	
		39	#5;	
		40	1	
		41	end	
		43		
		44	ndmodule	+
		4		10.1 1
-	Start 🖳 Design 🚺 Files 🚺 Libraries		test_simulacija.v 🛛	
Con	isole			+□₽×
1	ISim simulation engine GUI launched	success	ully	*
	Process "Simulate Benavioral Model"	complet	a successiully	10
1	III.			•

Console 🙆 Errors 🔔 Warnings 🕅 Find in Files Results

Add a new source to the project

Svako stanje definisali smo da traje 5 ciklusa, 5ns, #5 Dupli klik na Simulate Behavioral Model I pokrecemo ISim

-	ISE Project Navigator (P.20131013) - C:\Projekti\201	\xilinx\Diode\Simulacija_IO\Simulacija_IO.xise - [test_simulacija.v]	
	<u>File Edit View Project Source Process</u>	ools <u>W</u> indow Layout <u>H</u> elp	- B ×
	∽ a X 🖞 a 🖏 😓 📢 🖥 🗲 🕻	» チタタタナ図 🕅 吉日日日 チャ トェイ 💡	
Des	ign ↔ □ & × =	17 Logicko kolo UUT (
TH	View: 🔘 🔯 Implementation 💿 🎆 Simulation 📄	18 .A(A),	
(E)	Behavioral	- 19 .B(B),	
	Hierarchy	20 · Y (Y)	
d=		21); 22 // Triticline Treute	
	Simulacija_10	22 // Initialize inputs	
	Logicko kolo Logicko kolo sch th	24 initial begin	
5	UUT - Logicko kolo (Logicko k	- 25 A=0;	
何		26 B=0;	
	2	27 #5;	
4	-	28	
		29 A=0;	
	2	30 B=1;	
-	G	32	
	🏹 No Processes Running 🖉	33 A=1;	
	Processes Louisko kolo Louisko kolo seh th	- 34 B=0;	
11,	Processes: Logicko_kolo_Logicko_kolo_sch_to	35 #5;	E
×	E Bin Simulator	36	
œ۲	Simulate Rehavioral Model	37 A=1;	
~++		38 B=1;	
		39 #5;	
		40 D	
		41 610	
		43	
		44 endmodule	
		4	•
2	Start 🔍 Design 🖺 Files 🖺 Libraries	test_simulacija.v 🔞	
Con	nsole		↔□₽×
	ISim simulation engine GUI launched	successfully	
	Process "Simulate Behavioral Model"	completed successfully	
			-
+	m		Þ
	Console 🙆 Errors 🔥 Warnings 🕅 Find in	Files Results	
			1-10-0-12 11-1
			Ln 40 Col 3 Venlog



Na zoom zumiramo ulazne signale I pomeranjem klizaca pratimo stanja

ISE P	rpinet Alminutes (0.20121012). CAR-side22016. It. ADIS dol Company. 10 size Rest simulational	
) Eile	ISim (P.20131013) - [Default.wcfg]	- 8 ×
	File Edit View Simulation Window Layout Help	
esign	🗋 🏓 🛃 😓 🐰 🗈 🗅 🗙 🛞 📁 🖂 🕅 🦝 ↓ 🕴 😳 📇 🗄 🗂 🗁 🥕 🛠? 🥒 🖉 🧶 🍠 🖄 🏠 🖕 🗡 1.00us 💌 🐙 🛸	
Vie	Instances and Processes ↔ □ ♂ × Objects ↔ □ ♂ × → □ ⊘ → □ ∩ ∩ □ ⊘ → □ ⊘ → □ ⊘ → □ ⊘ →	
Beh	a Dimensional Simulation Objects for Logicko_kolo_L >	
直 Hie	Instance and Process Name	
	🕨 📗 Logicko_kolo_Logicko_kolc Object Name Value 🥕 📲 📊 A	
9E	In umeric std IA I	
2	🔞 vcomponents	
2	A 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	
	*	
•		
> 2		
Der		
NH L		E
<14 ····		
A		
	X1: 1,000,000 ps	•
🥜 Sta	e e b e b e b e	
onsole	A Instanc Remory () C III Default.wcfg	↔□♂×
ISi	r Console ↔ □ & ×	
Der	WARNING: A WEBPACK license was found.	
Pro	WARNING: Please use Xilinx License Configuration Manager to check out a full ISim license.	
e 📃	This is a Lite version of ISim.	
Co	Time resolution is 1 ps	
	Finished circuit initialization process.	Ln 40 Col 3 Verilog
		8:16 PM
		المرابعة (n) من الله الله المرابعة (n) من المرابعة (n) م من المرابعة (n) من المرابعة (n) م

ISE	Pre	pice Marineter (0.00101010) - CAR-Caldinoter - Candrally 100 Constants - 10 day - Andrewsky Tank	_ 0 X
Eile	e.	Ex ISim (P.20131013) - [Default.wcfg]	- 8 ×
	2	Eile Edit View Simulation Window Layout Help	
)esign		🗋 🎓 🔄 🖉 💥 🗈 🗈 🗙 🕲 🗠 🖂 🗛 😿 ↓ 1 😳 📑 🗄 🗖 🖕 🌮 😢 🖉 🖉 🖉 🛣 🛣 🛊 🏞 🐴 🗔 🕨 🖍 1.00us 🗨 🦕 🚿	
Vi	ew	Instances and Processes ↔ □ ₽ × Objects ↔ □ ₽ × D P ×	
E Be	eha	Simulation Objects for Logicko_kolo_L 🍃	
20 F	lier	Name Value O ns 20 ns 40 ns 60 ns 80 ns	
		Instance and Process Name Object Name Value	
3m E	3		
	L	Std_logic_1164	
623		v components	
			Π
-			
	8		
f P	ro		E
	÷		
-			
		X1: 0.000 ps	
> S	tar		· · · ·
Comme		A Instanc B Memory	
Lonsole TS	im		
10			_
Pr	oc	WARNING: Please use Xilinx License Configuration Manager to check out a full ISim license.	E
		WARNING: ISim will run in Lite mode. Please refer to the ISim documentation for more information on the differences between the Lite and the Full version.	
		Time resolution is 1 ps	,
	.on	Finished circuit initialization process.	
		TSim>	Ln 40 Col 5 Verllog
1		e 🕝 🔄 😟 🥗 🥕 📋 🐶 16 🔜	3/11/2016

